

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.  
009141382 \*\*Image available\*\*

WPI Acc No: 1992-268820/199232

Related WPI Acc No: 1992-284865; 1993-258987; 1993-273120; 1993-303671;  
1993-350829; 1994-118632; 1994-167818; 1994-176402; 1994-280096;  
1995-043660; 1995-274965; 1995-344735; 1996-159905; 1997-402023;  
1997-456965; 1998-031499; 1998-270792; 1998-321880; 1999-130598;  
2000-440902; 2002-238193; 2003-246899; 2003-415468; 2003-554214

XRPX Acc No: N92-205588

Flat-panel display fabrication - using pixel arrays which form light  
valves or switches fabricated with control electronics in single crystal  
thin-film material

Patent Assignee: KOPIN CORP (KOPI-N); DINGLE B (DING-I); FAN J C C (FANJ-I)  
; JACOBSEN J (JACO-I); MCCLELLAND R (MCCL-I); ZAVRACKY P M (ZAVR-I)

Inventor: DINGLE B; FAN J C C; JACOBSEN J; MCCLELLAND R; SPITZER M;  
ZAVRACKY P M

Number of Countries: 017 Number of Patents: 014

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 9212453	A1	19920723	WO 91US9770	A	19911231	199232 B
US 5206749	A	19930427	US 90636602	A	19901231	199318
EP 565588	A1	19931020	WO 91US9770	A	19911231	199342
			EP 92902703	A	19911231	
US 5258320	A	19931102	US 90636602	A	19901231	199345
			US 91801885	A	19911203	
JP 6504139	W	19940512	WO 91US9770	A	19911231	199423
			JP 92502883	A	19911231	
US 5362671	A	19941108	US 90636602	A	19901231	199444
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
US 5528397	A	19960618	US 90636602	A	19901231	199630
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
US 5736768	A	19980407	US 90636602	A	19901231	199821
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
US 6232136	B1	20010515	US 90636602	A	19901231	200129
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	

US 20010019371	A1	20010906	US 90636602	A	19901231	200154
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
JP 2002014375	A	20020118	JP 92502883	A	19911231	200211
			JP 2001158849	A	19911231	
US 6414783	B2	20020702	US 90636602	A	19901231	200248
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
JP 3361325	B2	20030107	JP 92502883	A	19911231	200306
			JP 2001158849	A	19911231	
US 20030057425	A1	20030327	US 90636602	A	19901231	200325
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
			US 2002188342	A	20020701	

Priority Applications (No Type Date): US 90636602 A 19901231; US 91801885 A 19911203; US 91801966 A 19911203; US 9385667 A 19930630; US 94225091 A 19940408; US 94281777 A 19940728; US 95485779 A 19950607; US 9856410 A 19980406; US 2001812611 A 20010320; US 2002188342 A 20020701

Cited Patents: 2.Jnl.Ref; EP 151508; JP 1038727; JP 63055529; US 4266223; US 4727047; US 4883561

#### Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
WO 9212453	A1	86	G02F-001/136	

Designated States (National): JP

Designated States (Regional): AT BE CH DE DK ES FR GB GR IT LU MC NL SE

US 5206749	A	28	G02F-001/1343
------------	---	----	---------------

EP 565588	A1 E	86	Based on patent WO 9212453
-----------	------	----	----------------------------

Designated States (Regional): AT BE CH DE DK ES FR GB IT LI LU MC NL SE

US 5258320	A	21 H01L-021/70	Div ex application US 90636602 Div ex patent US 5206749
------------	---	----------------	--

JP 6504139	W		Based on patent WO 9212453
------------	---	--	----------------------------

US 5362671	A	28 H01L-021/20	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Div ex patent US 5206749
------------	---	----------------	---

US 5528397	A	27 H01L-027/01	Cont of application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of patent US 5206749 Cont of patent US 5362671
US 5736768	A	26 H01L-027/01	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397
US 6232136	B1	H01L-021/00	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768
US 20010019371 A1		G02F-001/1335	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Cont of application US 9856410 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768 Cont of patent US 6232136
JP 2002014375 A		24 G02F-001/1368	Div ex application JP 92502883
US 6414783	B2	G02B-026/00	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Cont of application US 9856410 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768 Cont of patent US 6232136
JP 3361325	B2	23 G02F-001/1368	Div ex application JP 92502883

US 20030057425 A1      H01L-033/00      Previous Publ. patent JP 2002014375  
Div ex application US 90636602  
Cont of application US 91801966  
Cont of application US 9385667  
Cont of application US 94225091  
Cont of application US 94281777  
Div ex application US 95485779  
Cont of application US 9856410  
Cont of application US 2001812611  
Div ex patent US 5206749  
Cont of patent US 5362671  
Cont of patent US 5528397  
Div ex patent US 5736768  
Cont of patent US 6232136  
Cont of patent US 6414783

**Abstract (Basic): WO 9212453 A**

Fabrication of the panel display involves forming a single crystal semiconductor material on a supporting upstrate. An array of transistors and an array of pixel electrodes are formed in or on the single crystal material to form a circuit panel. Each pixel is actuatable by one of the transistors.

A light transmitter material is positioned adjacent to the circuit panel such that an electric field or signal generated by each pixel alters a light transmitting property of the material.

**ADVANTAGE -** Produces high quality image. h p

Dwg.1A/20

**Title Terms:** FLAT; PANEL; DISPLAY; FABRICATE; PIXEL; ARRAY; FORM; LIGHT; VALVE; SWITCH; FABRICATE; CONTROL; ELECTRONIC; SINGLE; CRYSTAL; THIN; FILM; MATERIAL

**Derwent Class:** P81; P85; U14

**International Patent Class (Main):** G02B-026/00; G02F-001/1335; G02F-001/1343; G02F-001/136; G02F-001/1368; H01L-021/00; H01L-021/20; H01L-021/70; H01L-027/01; H01L-033/00

**International Patent Class (Additional):** G02F-001/1333; G02F-001/1345; G09C-003/10; H01L-021/44; H01L-021/84; H01L-027/00; H01L-027/12; H01L-029/00; H01L-029/04; H01L-031/0392; H05B-033/12

**File Segment:** EPI; EngPI

第6部門第2区分

(43)公表日 平成6年(1994)5月12日

(51) Int.Cl. <sup>o</sup>	国別記号	序内整理番号	F I
G 0 2 F 1/136	5 0 0	9018-2K	
H 0 5 B 33/12		8715-3K	

審査請求 未請求 予備審査請求 有 (全23頁)

(21) 出願番号 特願平4-502883  
 (22) 出願日 平成3年(1991)12月31日  
 (25) 国際文提出日 平成5年(1993)6月29日  
 (26) 国際出願番号 PCT/US91/09770  
 (27) 国際公開番号 WO92/12453  
 (28) 国際公開日 平成4年(1992)7月23日  
 (31) 优先権主張番号 636,602  
 (32) 优先日 1990年12月13日  
 (33) 优先権主張国 米国(US)  
 (81) 指定国 EP(AT, BE, CH, DE,  
 DK, ES, FR, GB, GR, IT, LU, MC, NL, SE), JP

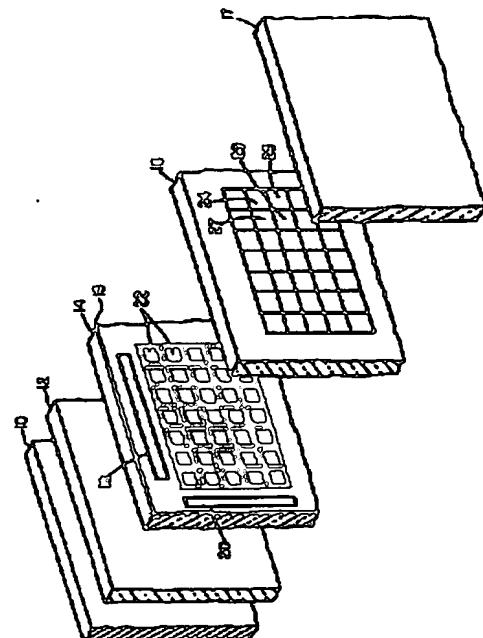
(71) 出願人 コビン・コーポレーション  
 アメリカ合衆国マサチューセッツ州02780ト  
 ーニントン・マイルズスタンディッシュユニ  
 ダストリアルパーク・マイルズスタンディ  
 ツシユブルーパーク695  
 (72) 発明者 ザプラツキー, ポール・エム  
 アメリカ合衆国マサチューセッツ州02062/  
 一ウッド・ビーチストリート25  
 (72) 発明者 フアン・ジョン・シー・シー  
 アメリカ合衆国マサチューセッツ州02167チ  
 エスナットヒル・ウェストロックスパリイ  
 バークウエイ881  
 (74) 代理人 弁理士 小田島 平吉

最終頁に於く

(54) 【発明の名称】 表示パネル用の単結晶シリコン配列素子

## (57) 【要約】

ディスプレイパネルが、ディスプレイ作製のための基板に転写される単結晶薄膜材料(15)を使用して形成される。ピクセル配列(22)は、転写の前に、薄膜材料において制御電子回路(18、20)を作製した光弁又はスイッチを形成する。それから、結果の回路パネル(14)が、所望のディスプレイを設けるために、発光又は液晶材料でディスプレイパネルに組み込まれる。



## 請求の範囲

1. パネルディスプレイを作製する方法において、
  - a) 支持基板において単結晶半導体材料を形成することと、
  - b) 各ピクセルがトランジスタの一つによって作動可能である如く、回路パネルを形成するために、単結晶材料において又は上にトランジスタの配列とピクセル電極の配列を形成することと、
  - c) 各ピクセルによって発生された電界又は信号が材料の光透過特性を変更する如く、回路パネルに直接して光透過性材料を位置付けることを含む方法。
2. 段階 a) が、支持基板において非単結晶の半導体材料を形成することと、単結晶材料を形成するために非単結晶の半導体材料を結晶化することとを含む請求の範囲 1 に記載の方法。
3. 単結晶半導体材料が、本質的単結晶の半導体材料である請求の範囲 2 に記載の方法。
4. 段階 a) が、支持基板から光透過性基板に単結晶材料を転写することをさらに含む請求の範囲 1 に記載の方法。
5. 各トランジスタが回路回路に電気的に接続される如く、単結晶半導体材料において又は上に回路回路を形成することをさらに含む請求の範囲 1 に記載の方法。
6. 転移段階が、さらに、単結晶材料から基板を化学的にエッティングすることを含む請求の範囲 4 に記載の方法。
7. 転移段階が、さらに、回路パネルを光透過性基板に貼合せることを含む請求の範囲 4 に記載の方法。
8. 光透過性材料が、液晶を具備する請求の範囲 1 に記載の方法。

1. 光透過性材料が、エレクトロルミネセント材料を具備する請求の範囲 1 に記載のパネルディスプレイ。
- 1.8. パネルディスプレイを作製する方法において、
  - a) 支持基板上に単結晶半導体材料を形成することと、
  - b) 各ピクセルが少なくとも一つのトランジスタによって作動可能である如く、ピクセルの回路パネルを形成するために、単結晶材料において又は上にトランジスタの配列とピクセル電極の配列を形成することと、
  - c) 各ピクセルにおいて発生された電界又は信号が同時ににより発光する如く、各ピクセル内に発光性材料を位置付けることを含む方法。
- 1.9. 段階 a) が、支持基板上に非単結晶の半導体材料を形成することと、本質的単結晶材料を形成するために非単結晶の半導体材料を結晶化することとを含む請求の範囲 1 に記載の方法。
- 2.0. 各トランジスタが回路回路に電気的に接続される如く、本質的単結晶材料において又は上に回路回路を形成することをさらに含む請求の範囲 1 に記載の方法。
- 2.1. 各ピクセルにおいて発生された電界が、光透過性基板とピクセル電極の間にある如く、発光性材料上に光透過性電極配列を位置付けることをさらに含む請求の範囲 1 に記載の方法。
- 2.2. 段階 a) が、単結晶材料が支持基板から光透過性基板上に転写される転写段階をさらに含む請求の範囲 1 に記載の方法。
- 2.3. 転移段階が、単結晶材料から化学的にエッティングすることにより支持基板を除去する段階を含む請求の範囲 2 に記載の方法。
- 2.4. 単結晶材料が、光透過性基板の複数面に転写される請求の範囲

9. 光透過性材料が、エレクトロルミネセント材料である請求の範囲 1 に記載の方法。

## 10. 支持基板と、

基板に固定され、トランジスタの配列とピクセル電極の配列を具備し、各電極がトランジスタの一つに電気的に接続された回路パネルと、各ピクセルによって発生され、材料に印加された電界又は信号が光透過特性を変更する如く、回路パネルに直接して位置付けられた光透過性材料と、

ピクセルを作動させるために回路パネルに電気的に接続された回路回路とを具備するパネルディスプレイ。

1.1. 単結晶半導体材料が、シリコンを具備する請求の範囲 1 に記載のパネルディスプレイ。

1.2. 単結晶半導体材料が、本質的単結晶の半導体材料である請求の範囲 1 に記載のパネルディスプレイ。

1.3. トランジスタ配列とピクセル配列が、単結晶半導体材料の両面において又は上に形成される請求の範囲 1 に記載のパネルディスプレイ。

1.4. 回路パネルを光透過性基板に貼合せるための貼合せ材料をさらに具備する請求の範囲 1 に記載のパネルディスプレイ。

1.5. 光透過性材料上に位置付けられた電極の光透過性配列をさらに具備し、各光透過性電極が、トランジスタの一つに電気的に接続されそれを請求の範囲 1 に記載のパネルディスプレイ。

1.6. 光透過性材料が、波長を具備する請求の範囲 1 に記載のパネルディスプレイ。

## 2.2 に記載の方法。

2.5. 転移段階が、さらに、回路基板を光透過性基板に貼合せることを含む請求の範囲 2 に記載の方法。

2.6. 発光性材料が、エレクトロルミネセント材料を含む請求の範囲 1 に記載の方法。

## 2.7. 支持基板と、

基板に固定され、トランジスタの配列とピクセル電極の配列を具備し、各ピクセル電極が少なくとも一つのトランジスタに電気的に接続され、各トランジスタが、単結晶半導体材料の両面において又は上に形成したソース、ドレイン及びチャネル領域を含むピクセルの回路パネルと、各ピクセル内のトランジスタによって発生された電界又は信号が材料による発光を生じさせる如く、各ピクセル内に位置付けられた发光性材料と、

ピクセルを作動させるために回路パネルに電気的に接続された回路回路とを具備するパネルディスプレイ。

2.8. エレクトロルミネセント材料上に位置付けられた電極の光透過性配列をさらに具備し、各光透過性電極が、トランジスタの一つに電気的に接続される請求の範囲 2 に記載のパネルディスプレイ。

2.9. 単結晶半導体材料が、シリコンを具備する請求の範囲 2 に記載のパネルディスプレイ。

3.0. 単結晶半導体材料が、本質的単結晶半導体材料である請求の範囲 2 に記載のパネルディスプレイ。

3.1. トランジスタが、約 5000 Hz なしに約 10,000 Hz まで起振波数において動作することができる請求の範囲 2 に記載のパネルディスプレイ。

## 発明の背景

印晶回路を生成するために印晶又はエレクトロルミナセント材料を使用した平パネルディスプレイが、開発されている。これらのディスプレイは、印晶印口(CRT)技術に取って代わり、より高印口テレビジョン回路を置けると印判される。例えば、大蔵印品印口ディスプレイ(LCD)への印も印型な印は、アクティブマトリックスアプローチであり、この場合印口トランジスタ(TFT)は、LCDピクセルと同じ印所に印口される。TFTを使用するアクティブマトリックスアプローチの主な利点は、ピクセル間のクロストークの印度と、TFT互のLCDで印せられる印れたグレースケールである。

LCDを印用する平パネルディスプレイは、一様に、5つの異なる印を合む。すなわち、白印口、ピクセルを形成するためTFTを印用した印回パネルの一方の印に取り付けた印1印フィルター、ピクセルに印された少なくとも3つの原色を合むフィルターピ、そして印頭に、印2印フィルターである。印回パネルとフィルターピの間の空隙は、印凸材料で充填される。この材料は、印回パネルとフィルターピに取り付けた印地の印に印度が印加される印、印光を印伝させる。こうして、ディスプレイの印型なピクセルがオンにされる印、印晶材料は、印2印光フィルターを印通する印く材料を印通される印光を印伝させる。

平パネルディスプレイに対して必要とされる大面印でのTFT形成への主なアプローチは、大面印光起印力分子に対して以印開発されたアモ

ルディスプレイ。3.2. 印始印材料の印口において印成した印回路をさらに印出し、印回路が、印邊トランジスタを印助させることにより、各ピクセルを印状的に印助させることができる印くトランジスタに印氣的に印被され、各印出されたトランジスタに印被された印邊ピクセル印が、印光印材料に印異を生成させる印の印圖2.7に印成のパネルディスプレイ。

3.3. 印先性材料が、エレクトロルミナセント材料を印出する印の印圖2.7に印出のパネルディスプレイ。

3.4. エレクトロルミナセント材料が、印回の印地を印出し、各印が、印なる色において印光する印の印圖3.3に印出のパネルディスプレイ。

3.5. 支持印板が、ガラス又はプラスチックの印く印邊印材料を印出する印の印圖3.7に印成のパネルディスプレイ。

ルファスシリコンの使用に係わった。TFTアプローチは、実現可能であることがわかったが、アモルファスシリコンの使用は、パネル性能の印つかの見度を妥協する。例えば、アモルファスシリコンTFTは、アモルファス材料に固有な低印子印度のために大面印ディスプレイに対して必要とされる印設印度に欠ける。こうして、アモルファスシリコンの使用は、印示印度を印限し、そしてまた、ディスプレイを印傳するために必要とされた印邊印板に不適切である。

アモルファスシリコンの印定性のために、他の代印的な材料としては、多印凸シリコン又はレーザー印備凸シリコンが印げられる。これらの材料は、一様に印く印邊処理を印凸に印圓するガラス上に既存のシリコンを使用するために、印定される。

TFTを印出するアクティブマトリックスはまた、エレクトロルミナセント(LED)ディスプレイにおいて有効である。TFTは、シリコンから印成される。しかし、LCDアクティブマトリックスにおいて多印凸シリコンとアモルファスシリコンの印用を印定する同一印子は、印、E印ディスプレイにおいてこれらの形式のシリコンの印用を印用する。さらに、E印ディスプレイは、印邊と低い印れのみならず、エレクトロルミナセンスのために必要とされた印压レベルをサポートすることができるTFTを印出とする。

こうして、所印の印度を印し、印邊の印度さと低印用を印け、パネルディスプレイの各ピクセルにおいて印品印TFTを印成する方法の必要性が存在する。さらに、所印の印度を印し、印邊の印度さと低印用を印けるとともに、印光のために必要な印压において印示ピクセルを印助させる印印を印け、E印パネルディスプレイの各ピクセルにおいて印品印

TFTを印成する方法の必要性が存在する。

## 発明の要約

本発明は、トランジスタがディスプレイの各ピクセルを印出するため印成され、本印の印始印シリコンの印口を印用するパネルディスプレイとディスプレイの印成方法に関する。好在しい印度印度に対して、印晶又はトランジスタアレイが、ガラス又は印有な印晶印の印く印邊印板に印通される。この材料は、印晶パネルとフィルターピに取り付けた印地の印に印度が印加される印、印光を印伝させる。こうして、ディスプレイの印型なピクセルがオンにされる印、印晶材料は、印2印光フィルターを印通する印く材料を印通される印光を印伝させる。

平パネルディスプレイに対して必要とされる大面印でのTFT形成への主なアプローチは、大面印光起印力分子に対して以印開発されたアモ

ルディスプレイ。3.2. 印始印材料の印口において印成した印回路をさらに印出し、印回路が、印邊トランジスタを印助させることにより、各ピクセルを印状的に印助させることができる印くトランジスタに印氣的に印被され、各印出されたトランジスタに印被された印邊ピクセル印が、印光印材料に印異を生成させる印の印の印圖2.7に印成のパネルディスプレイ。

3.3. 印先性材料が、エレクトロルミナセント材料を印出する印の印の印圖2.7に印出のパネルディスプレイ。

3.4. エレクトロルミナセント材料が、印回の印地を印出し、各印が、印なる色において印光する印の印の印圖3.3に印出のパネルディスプレイ。

3.5. 支持印板が、ガラス又はプラスチックの印く印邊印材料を印出する印の印の印圖3.7に印成のパネルディスプレイ。

各トランジスタは、印度又は印子の印加により、印被材料又は印子からの印が印通する印に印立つ。この印加の目的のために、印から印の印が印通されるトランジスタと印被材料又は印子は、交番と印ばれる。こうして、パネルディスプレイの各ピクセルは、印立印口光弁である。そのような印の印として、LCD、あるいは印邊印度が印度又は印子により印度され、印度印ピクセルアレイを印ける印に印度された印度又は印度状印材料がある。本印子と印邊印度方法は、印印カラーピを印成する印の印形平パネルのすべての必要条件を印足する。トランジスタ又はスイッチは、ディスプレイを印ける印に、エレクトロルミナセント印示印度(LED)又は印光ダイオード(LED)と印に印れる。

本発明の特徴的な実施基板は、大面積半導体膜を使用し、膜を基板上に形成し、膜をガラス又は他の適切な光遮蔽性材料に取り付ける。2ミクロン以下の厚さの单結晶シリコン膜は、エピタキシャル基板から分離され、そして膜は、ガラスとセラミックスに取り付けられる。境界部トランジスタ（「FET」）の如く活性ドーピング部子は、分離前に少なくとも部分的に作成され、それからガラスに転写される。接合剤、ゆり結合、ファンデルワールス力又はボンディング用接着剤を含む他のボンディング手段が、基板への取り付けのために使用される。他の公知な方法も使用できる。

プロセスの特徴的な実施基板は、側面凸板において高い本質的单結晶Si膜を形成する段階と、ピクセル凹板及び凹口エンハンスマント形トランジスタの配置と周辺CMOS回路を凹面上に作成する段階とを含む。各トランジスタは、各ピクセルがトランジスタの一つによって独立に作成される如く、ピクセル凹板の一つに電気的に連結される。CMOS回路は、ピクセル作動と表示機能を同時にするために应用される。電子作成は、沟底が、ソース、ドレイン、チャネル及びゲート領域の形成とピクセル凹板との相互連結により側面凸板に疊り付いている間、開始される。凸面パネル基板への転写の間に、電子作成を実質的に完了することにより、保護ガラス又はポリマーが使用できる。代官的に、電子作成のすべて又は部分は、側面板、あるいはガラス又はプラスチック板への処理板の転写により行われる。転写板、カラーフィルターと液晶材料との一体化により、LCDを使用する実施基板に対してパネルが完成される。

凹口形成プロセスの特徴的な方法は、本質的单結晶膜が剥離される後

ウェーハ又は基板から除去され、そして回路パネルを形成するためにガラス又は他の適切な基板に取り付けられる。代官的に、最初に、回路を形成し、回路をガラスに結合し、それから、基板から回路を分離することもできる。ピクセルは、平面形状を有する行と列において位置付けられる。作成段階の順序は、これらの回路に対する表面処理が転写の前に行われるために、ガラス上の從来の周辺CMOS（又は他の）回路の位置を容認する。

別の特徴的な実施基板は、トランジスタ要素の凹口配列の作成に係わり、凹口接続の所定の間隔又はレジストレーションを設けるために傾斜又は垂直する側面性基板に凹窓を転写することと、表示パネルに含む凸面基板に埋め込むことを含む。

本発明のさらに別の特徴的な実施基板は、單結晶シリコン材料を使用して、エレクトロルミネセンス（EL）パネルディスプレイとディスプレイの作成方法に関する。单結晶シリコンは、小形（6インチ×6インチ以下）のアクティブマトリックスELディスプレイにおいて高輝度を達成するために特徴的な。ELディスプレイにおいて、一つ以上のピクセルが、行列間直結により、各ピクセルに接続されなければならない交差（AC）によって付与される。相互連結によるACの効率的な動作は、活性窓口によって制限される。しかし、アクティブマトリックスの使用は、相互連結窓口のむろしく小さき、ピクセル发光体においてより効率的なエレクトロルミネセンスを可能とし、このため、明度を高めるために、高周波数ACの使用を可能にする。本発明により、この利点を設けるTFTは、バルクSiウェーハ、あるいは单結晶又は本質的单結晶シリコンの凹口の如く、单結晶ウェーハにおいて形成される。これら

特徴的な基板において形成される、シリコンオーニングシェーティング（SOI）技術を使用する。本出願のために、用語「本質的单結晶」とは、多結晶の粒度が、膜を覆って均一に広がる平面において、少なくとも0.1cm<sup>2</sup>、好ましくは、0.5~1.0cm<sup>2</sup>以上の範囲における断面積地上に広がっていることを意味する。そのような膜は、例えば、サファイア、SiO<sub>2</sub>、Siウェーハ、焼却及び炭化けい素基板において公知の技術を使用して形成される。

SOI技術は、一般に、始晶板が下側基板のそれに一致しないシリコン膜の形成に風靡する。特別な特徴的な実施基板は、側面凹板において单結晶Siの凹口を生産するために、分離シリコンエピタキシー（ISE）を使用する。このプロセスは、本質的单結晶シリコンを形成する材料を結晶化するために加熱された側面凹板において、アモルファス又は多結晶シリコンの如く非单結晶材料の堆積を含む。側面凹板の使用は、回路への密着性に、エッチングされた活性窓口の下に化合物を使用して、窓口と回路の隙間を可逆にする。

特徴的な実施基板において、エピタキシャル窓口が形成された全窓板はエッチバック手順によって除去される。

代官的に、化学的エピタキシャルリフトオフの方法、半導体材料をガラス又は他の基板に転写するプロセスは、所望の半導体材料の大面積シートに適用される。これら又は他の側面板は、回路パネル作成用基板への転写のために成長基板から任意の回路構造基板を除去するために使用される。

本発明は、再結晶化シリコン窓におけるCMOS回路とピクセル凹板の形成を含み、再結晶化シリコン窓は、第2遮光基板に固定され、開始

の高品質TFTは、ELパネルディスプレイにおいて使用され、高輝度と低消費電力を設けるとともに、エレクトロルミネセンスのために必要とされた高電圧レベルをサポートする。

現ELディスプレイは、現ピクセル发光体のための受口回路が、立体材料の凹口切替回路に関して低いピクセル周波数（約100Hz）で一括り動作するために、低い明度出力を強いる。本発明のELディスプレイにおいて、TFTは、窓キヤリヤ移動速度を窓口とするバルク又は凸面单結晶又は本質的单結晶シリコンを使用して、アクティブマトリックスにおいて形成される。それ故に、TFTは、窓口接続において動作する。こうして、ピクセルと同じ場所に位置した凸邊TFTを位置するアクティブマトリックス回路パネルは、发光体材料の回路窓口時間に関する凸邊発光体窓口接続を避け、ディスプレイの明度を拡大させる。本発明のELディスプレイは、1000~10,000Hzの発光体回路接続接続を設けることができる。好ましくは、本発明のELディスプレイは、約5000Hz以上、最大約10,000Hzの発光体回路接続を設けること、印加を比較して拡大させる。

特徴的な実施基板において、单結晶シリコンの窓口が、トランジスタの配列とピクセル凹板の配列を重ねし、各ピクセル凹板が一つ以上のトランジスタによって作動可能な回路パネルを形成するために使用されるエレクトロルミネセンス材料は、回路パネルに接続して窓口付けられ、EL活性窓の配列を形成するためにパターン化される。ELディスプレイの交換窓口に対し、各トランジスタ（又はトランジスタ回路）、開通ピクセル凹板と周辺EL材料要素は、ピクセルとして作用される。それ自身、ELディスプレイは、窓口の独立的窓口可能なピクセルから成る。

各ピクセルに対して、凹接EL材料に電界又は信号を発生させることができるとトランジスタ(又はトランジスタ回路)は、EL材料による発光を制御するために設立つ。

ELパネルディスプレイを担当するために設するCMOS駆動回路は、高圧DMOSトランジスタとピクセル凹口が形成された同一基板材料において形成される。駆動回路は、配線とワイヤボンディングの必要なしに、凸面化技術を使用して、ピクセルのマトリックスへ完全に垂直追跡されることができる。さらに、光追跡性電極列は、各ピクセルにおいて発生された電界が光追跡凹口とピクセル凹口の間にある如く、エレクトロルミネセント材料上に位置付められる。それ自身、ELパネルディスプレイの各ピクセルは、その発光部位が凹口又は信号によって決定される独立開口発光体である。

本発明は、高精度カラー表示を生産するための必要な条件を満足するELパネルディスプレイを作成するための電子と回路方法を含む。そのために、エレクトロルミネセント材料は、缸の口なる発光部を生成することができるピクセルを設けるために使用される。さらに具体的には、エレクトロルミネセント材料は、直角のパターン化凹口を具出し、各口は、電界を受けた時、他の口によって生成された波長に因して異なる特定の波長の光を生成することができる。

ELディスプレイ形成プロセスの特徴的な実施形態は、支持基板において単結晶シリコンの凹口を形成する段階と、シリコン凹口においてピクセル凹口、トランジスタと駆動回路の配列を形成する段階と、シリコン凹口に形成した各ピクセル内にエレクトロルミネセント領域を形成する段階とを含む。各トランジスタは、各ピクセルが駆動回路によって独立に

凹口を形成し、凹口を再結合させ、実質的に単結晶シリコンのウェーハを形成するために最初で多結晶凹口を走査することを含む。開いた本口的単結晶Si凹口を形成する段階を含む。SEを使用する。ディスプレイ形成プロセスは、さらに、シリコン凹口において、ピクセル凹口、トランジスタと駆動回路の配列を形成する段階と、各ピクセル内にエレクトロルミネセント領域を形成する段階とを含む。各トランジスタは、各ピクセルが、一つのトランジスタ回路によって独立に作成される如く、ピクセル凹口に電気的に連絡される。駆動回路は、ピクセル作口を凹口するために使用され、そして接着が実現される。

構成の多様な詳細な詳細と部品の組み合わせを含む、発明の上記と並ぶ特徴は、添付の図面を参照してさらに詳細に説明され、クレームにおいて指摘される。発明のパネルディスプレイと発明を実現するパネルを作成するのに使用される方法は、以下のようにして示され、発明を固定するものでないことが印証される。この発明の主な特徴は、発明の図面に示すことなく多様な実施形態において使用できる。

#### 図面の簡単な説明

図1A図は、発明による平パネルディスプレイの分断部構造である。図1B図は、発明の特徴的な実施形態のための凹口システムを示す回路図である。

図2A～2L図は、平パネルディスプレイのための回路パネルの作製を示す、特徴的なプロセス流れ順序図である。

図3図は、ディスプレイパネルの特徴的な実施形態の凹口図である。

図4図は、再結合化のために使用されるシステムの特徴的な実施形態の斜視図である。

作動される如く、ピクセル凹口に電気的に連絡される。

ELディスプレイのための半導体シリコン凹口形成プロセスの特徴的な方法は、基板上の倍位性凹口化合物におけるシリコン凹口の形成に係わるSOI技術を含む。SOI技術は、本発明のELディスプレイの高圧、高密度回路をサポートするための特徴的な。さらに具体的には、酸化層は、DMOSトランジスタの如く、高圧端子に耐える构造を可能にする。さらに、SOI凹口は、高密度ELディスプレイにつながる高密度ピクセル回路を形成するためのチャネル分口を設ける。

他の特徴的な方法は、単結晶シリコン凹口が、分離され、別の材料に並び替わる支持基板において形成されるSOI技術に係わるELディスプレイのための凹口形成処理に因る。一つの特徴的なプロセスにおいて、単結晶シリコンの凹口は、基板において形成され、そしてアクティブマトリックス回路が、シリコン凹口において形成される。次に、凹口は、その基板から分離され、ピクセルの発光を改良するために、底面材料に遮蔽される。別の特徴的な実施形態において、凹口は、その基板から分離され、先端部を改変するために、材料の凹曲表面に遮蔽される。例えば、ELディスプレイは、ヘルメット表示システムの凹曲面に取り付けられる。代官的に、ELディスプレイは、ヘッドアップディスプレイのための直接的に取り付けられる。

別の特徴的な実施形態において、凹口シリコンの凹口は、凸面において形成され、そして金属ウェーハが、上口に取り付けられる。次に、凸面板は、エッチャック手順によって除去される。

ELディスプレイ形成プロセスの特別の特徴的な方法は、単結晶凸面の上に多結晶シリコンの凹口を形成し、多結晶シリコン上にキャッピング

図5A図は、結晶化材料において境界を同調化するパターン化凹口の適用を示す。

図5B図は、境界を同調化するためのパターン化キャッピング凹口の適用を示す。

図6A図は、発明によるガラスへの底面の前のMOSFETのドレン凹口と相互コンダクタンス特性を示す。

図6B図は、ガラスへの底面の第6A図のMOSFETのドレン凹口と相互コンダクタンス特性を示す。

図7A図は、2つの異なるドレン凹口において対比スケールでプロトした、図6A図の老子のドレン凹口を示す。

図7B図は、2つの異なるドレン凹口において対比スケールでプロトした、図6B図の老子のドレン凹口を示す。

図8A図は、ゲート凹口が0～5ボルトで変化する、図6A図の老子のドレン凹口出力を示す。

図8B図は、ゲート凹口が0～5ボルトで変化する、図6B図の老子のドレン凹口出力を示す。

図9A～9C図は、発明によるリフトオフプロセスを示す一連の断面図である。

図10A図は、発明の前の実施形態による、リフトオフ処理中のウェーハの部分構造図である。

図10B図は、プロセスにおける段階、リフトオフ処理の図10A図の第二～三に沿って取った断面図である。

図10C図は、レジストレーションが実現される別の実施形態において、リフトオフ処理中のウェーハの一部の部分構造図である。

第10D図と第10E図は、リフトオフプロセスにおけるさらに他の段階の第10C図の構造の断面を示す。

第11A～11E図は、発明によるリフトオフ手順のプロセスフローにおける各段階中のウェーハの断面である。

第12A～12C図は、発明の別の好ましいリフトオフ手順の断面図である。

第13A～13C図は、発明による遮光の好ましい方法を模式的に示す。

第14A図と第14B図は、発明によるさらに他の遮光方法を模式的に示す。第15図は、発明による電子レジストレーションを監視開口するための好ましいシステムを示す。

第16A図は、本発明によるエレクトロルミネセントパネルディスプレイの分解図である。

第16B図は、エレクトロルミネセントカラー表示装置の斜視図である。

第16C図は、エレクトロルミネセントパネルディスプレイのための回路システムを示す回路図である。

第16D図は、第16C図のDMOSトランジスタの等価回路である。

第17A～17L図は、エレクトロルミネセントパネルディスプレイの回路パネルの作製を示す好ましいプロセス流れ図である。

第18A～18D図は、エレクトロルミネセントカラーディスプレイの作製を示す好ましいプロセス流れ図である。

第19A～19B図は、SOI構造の上層への遮光及びポンディングと遮光の除去を示す好ましいプロセス流れ図である。

他の好ましい実施態様は、各ピクセルに対して発光体を形成するために、他の固体状態材料を適用する。その先端性材料が凹部の印加により突起されるエレクトロルミネセント膜、多孔性シリコン又は発光材料が、発光体を形成するために使用される。従って、エレクトロルミネセント表示装置(ELD)、多孔性シリコン表示装置又は発光ダイオードが、形成され、ディスプレイを設けるために使用される。

パネルにおいてディスプレイを回復するために使用される回路回路が、第1B図に示される。回路18は、入り口号を反転し、バス13を逆して出力をピクセルに送信する。回路20は、各ピクセルにおいてキャッシュタ26を充電するロッカのトランジスタ23をオンにするために、バス19を逆して走査する。キャッシュタ26は、配列の次の走査まで、ピクセル凹部と凸部21において電荷を持続させる。発明の多様な実施態様は、所定のディスプレイの形式により、各ピクセルでキャッシュタを使用する又はしない。

第2A～2L図は、回路パネル構成が形成された、シリコンオインシュレータ(SOI)膜を形成するために、凸部シリコンエンベッタキサー(ISE)プロセスの使用を示す。なお、任意の数の段階が、基板LSIの凹部を破るために使用される。第2A図に示されたものの如く、SOI構造は、基板30と、基板30において成長又は堆積された(例えば、SOI:の)酸化物34を含む。シリコンの導電性凸部は、酸化物34上に形成される。酸化物(又は絶縁体)は、こうして、SI表面の下に埋め込まれる。ISE-SOI構造の場合に、頂部層は、CMOS回路が作成される実質的に單結晶の再結晶化シリコンである。埋め込み絶縁体の使用は、従来のバルク(ショクラルスキー)材料において

第20A～20D図は、GeSi合金が中間ニッケルトップ層として使用される、代償的な遮光プロセスを示す、好ましいプロセス流れ図である。

#### 好ましい実施態様の詳細な説明

発明の好ましい実施態様が、第1図におけるパネルディスプレイの斜視図に示される。ディスプレイの基本構成要素は、白又は他の適切な色である光柱10、第1遮光フィルター12、回路パネル14、フィルター段16と第2遮光フィルター17を含み、凹部において固定される。被覆材料(不図示)は、回路パネル14とフィルター段16の間の空隙に置かれる。回路パネル14におけるピクセル22の凹部は、各ピクセルが、ピクセルとカラーフィルター段16に固定した対向凹部の間にある凸部材料において凹部を発生させる如く、凹部に印加して位置付けられた第1及び第2遮光フィルター18、20を有する凹部凹部によって凹別に作成される。凹部は、被覆材料を通過される凹部の回路を生じさせ、凹部カラーフィルター要素が照らされることになる。フィルター段システム16のカラーフィルターは、段24、段25、段27と白段29の如く4つのフィルター段群のグループに分類される。フィルター段24、25、27、29に凹部したピクセル又は光柱は、そのピクセルグループに対する所要の色を設けるために選択的に作成される。

本発明は、ディスプレイパネルの各ピクセルを固定するために、透明性又は遮光性材料を使用する。そのために、好ましい実施態様は、前述の被覆材料の如く任意の波長を使用し、各ピクセルに対して透明性光弁を形成する。他の好ましい実施態様は、各ピクセルに対して透明性光弁を形成するために、透明性材料の如く固体状態材料を適用する。さらに、

て設置されるよりも高辺の電子を渡せる。150万を超えるCMOSトランジスタを含む回路が、JSE材料において成功裏に作成された。

第2B図に示された如く、段38は、各ピクセルに対するトランジスタ領域37とピクセル電極領域39を規定するためにパターン化される。電極段40は、それから、各ピクセルの2つの領域37、39の間のチネルを有するパターン化領域上に形成される。それから、固有結晶化材料38が、nチャネル電子を設けるためにホウ素又は他のn形ドーパント(又は代償的に、pチャネル電子に対してn形ドーパント)を注入44(第2C図)される。

それから、多孔性シリコン段42が、ピクセル上に形成され、そして段42は、第2D図に示された如く、n形ドーパントを注入46され、ゲートとして使用される段42の抵抗率を低下させる。ポリシリコンは、第2E図に示された如くゲート50を形成するためにパターン化され、続いて、トランジスタのロソース及びドレイン領域を設けるためにホウ素を大きく注入52される。第2F図に示された如く、段化物54は、トランジスタ上に形成され、そして段40、56、58が、それぞれ、ソース66、ドレイン64とゲートに接続するように段化物54を通り形成される。アルミニウム、タンゲステン又は他の適切な金属のパターン化段56は、取出ピクセル段62をソース60を遮断し、ゲートとドレインを他の回路パネル構成段間に遮断するために使用される。

第2の作製手順は、ガラスに貼り合はれた絶縁シリコンの凹部(1～5ミクロン)を形成するために取出された基板側面プロセスの一つである。これらの歯は、遮光の間に部分的又は完全に作成されたFBTの

如く、唇位半導体粒子を含む。伝移のための切方向成長エピタキシャル膜への開口 (CLEFT) アプローチを含む前凸化及び凹口手口は、口口としてここに取り入れた、米国特許第4,727,047号において十分に記載される。化学エピタキシャルリフトオフ (CEL) アプローチは、米国特許第4,846,931号と口4,889,561号において十分に記載される。CLEFTとCELの両技術は、基板の再使用を併用し、基板が開口される他のアプローチと比較して費用を縮小させる。SOIウェーハと凹口の凹口部を組み合わせることにより、ガラスにおいて異種品口部及び凹口部を形成することができる。

開口は、CELプロセスが、開口部のHF (又は他のエッティング液) アンダーカットに対して必要とされた切方向凹口によって形成されることを示す。CELを使用する大面積バネルへの場合は、完全大面積よりもむしろ、パターン化粒子及び/又は回路の開口である。というのは、回路又は粒子は、エッティングを開口部に沿せしめるために口を切って直角チャネルとして使用される未使用口部を有する。このアプローチは、図2H～2L図に示される。開口部から凹口を除去するために、図1開口70 (図2H図) が、ピクセル凹にある図36の凹口部において形成される。それから、図34の図2の大口分が、図36の一図が空洞72上に延びる如く、空洞72を形成するために除去される。

図2I図において、支持柱76は、空洞72と凹口70を削りたすために形成され、図36の一部上に延びている。それから、開口又はヴァイアホール74が、エッティング液が、図34 (図2J図の図) を除去するために、ホール74又は開口78を介して切入られる如く、図36を削りて受けられる。残りの部分は図36と支持された回路は、支持柱7

でコネクタが付加される。最後に、白光凹114又は他の適切な光凹が、白光凹112に結合される。

図1の粒子の断面図が、図8図に示され、この場合ピクセル凹102と104は、互いに口に結合される。各ピクセル102, 104は、トランジスタ106と、付加したカラーフィルター120, 122を有する。電極接続112, 118が、貼合せ異常又は接着剤108と、ガラス又はプラスチックの如く光吸収性基板110を含む凹口の対向側において位置付けられる。凹108は、2～10ミクロンの厚さを有する透明なエポキシ又は低西ガラスである。

CLEFTプロセスは、段階用可溶性エピタキシャル基板から、化学打替 (CVD) によって成長された口の半導体の分口を形成する。CELプロセスと口なり、CLEFTプロセスにおいては、回路又は粒子は、最初に、ガラスに結合され、接着剤、回路と粒子の間に分離される。

CLEFTによって凸版から除去された凹は、本質的に低欠陥密度の半導体であり、ほんの数ミクロン厚であり、結果的に、回路バネルは、口口であり、良好な追跡性を有する。本凹の目的のために、用語「本質的凹」とは、多孔の粒子が、少なくとも $0.1\text{ cm}^2$ 、厚さしくは、 $0.5\sim1.0\text{ cm}^2$ 以上の面積において凹の平面における断面積以上に広めることを意味する。

米国特許第4,727,047号に示されたCLEFTプロセスは、次の段階を含む。すなわち、開口部 (底版平版) 上の所要の凹の成長、金属性化と他の粒子の形成、口とガラスの如く図2基板 (又は上版) の間の貼合せの形成、及びヘビ凹による凹の組込み平面に沿った分口であ

るにより直径30に因して部位に形成される。另外で固化されるエポキシが、光吸収性基板80を回路と凹38に取り付けるために使用される。それから、基板80は、在76の回りのエポキシ84の領域が、既存のエポキシ82が固化される回路固化のままである如く、パターン化される (図2K図の図)。基板30と在76は、図2L図に示された凹を設けるために除去され、所要のディスプレイバネルを設けるために処理される。

UV固化性接着剤 (又はテープ) が、必要な場合に、回路を保護するためにはパターン化され、そしてHFが、図の開口部に適用するために使用される。

なお、テープが使用される場合に、テープは、開口部の回路への支障を設ける。口を含む大面积GaN粒子は、このようにして作成され、そしてこれらは、一テープにおいて立ウェーハから粒子を形成するためには剥離された。剥離された回路は、凸版ディスプレイバネルのガラスと他の表面に再結合される。透明接着剤が、粒子の厚い方法である。

凸版ディスプレイバネルを形成するために、図2L図に示された回路バネルが、エッティングされ、所要のピクセル表面を露出させる。透明及び立合口、スペーサー、密封ボーダーと凸版用粘合セパッドが、回路バネルに付加される。スクリーン印刷プロセスが、ボーダーを印刷するために使用される。カラーフィルターと対向凹口を含む液が、スペーサーの口入口、密封ボーダーにより回路バネルに密封される。ディスプレイは、ボーダーを口にしている一つ以上の小さな注入穴を介して、凝結された被覆材側で充填される。この注入穴は、それから、開口又はエポキシで密封される。図1及び図2口光凹又は口が、両方に貼合され、そし

る。基板は、再利用のために利用できる。

CLEFTプロセスは、開口部の凹口において凸版凹を形成するために、切方向エピタキシャル成長を使用して、本質的半導体材料のシートを形成するために使用される。シリコンに対して、切方向エピタクシーは、ISEプロセス又は他の再結合化手口によって形成される。代替的に、他の口半導体技術も、必要な凹の本質的半導体材料を形成するために使用できる。

開口部を形成する材料の必要な条件の一つは、口と半導体口の四の辺の欠けである。無い平面は開口部によって形成されるために、口は、多孔化なしに、凸版からへき離される。開口部は、Si<sub>x</sub>N<sub>y</sub>とSiO<sub>2</sub>の多口部を具備する。そのようなアプローチは、SiO<sub>2</sub>をCMOS回路の凹口を不活性化するために使用する。(Si<sub>x</sub>N<sub>y</sub>は、自発平均を生成するためには削除される口である。) CLEFTアプローチにおいて、回路は、最初に、ガラス又は他の低吸収性に貼合され、それから、分離され、UV固化テープと比較して卓抜な取り扱いとなる。

ISEプロセスにおいて、凸版凹は、凹口と、回路を含む底版S1底に効率的に付着される。この理由のために、結合の強度を化学的に縮小することが必要である。この接着は、開口部において凸版平面を形成するために完全な分離なしに、エッティング液により優先的に溶解される開口部を含む。それから、口は、ガラスが回路と凹口に貼合された後、自然的に分離される。

接着的分口は、次の如く形成される。口の上端は、透明なエポキシでガラスの如く上口に貼合される。それから、口とガラスは、ヘビ開口物として段立つ約5mm厚のガラス板にワックスで貼合される。金口く

さびが、表面を分離させるために、2つのガラス板の間に印入される。マスクは基板に対して低接着力を有するために、底は、基板からへき離されるが、ガラスに接着されている。それから、基板は、CLEF Tプロセスの別のサイクルに対して使用され、そして粒子処理が、底の背面において完了される。なお、粒子が上層に付着されているために、背面は、フォトリソグラフィーを含む単一ウェーハ処理される。

方法は、さらに、S1基板の印合にシーディングにより、貫通凸部の印合にシーディングなしの单結晶の印合を含む。シーディングされたS1底の場合に、印合再結合プロセスが使用される。いずれにせよ、底は酸化又は直結化が、印合目的のために直結化される。

第4図に説明的に示された、再結合システムの一実施例において、基板凸部は、下方加熱部130によって融点近くまで昇温される。上方ワイヤ又は基板片加熱部132が、サンプル134の頂部を走査し、移動する融解ゾーン136により多結晶シリコンを再結合又はさらに結晶化させる。S1における印合プロセスにおいて、印合エピタクシーは、下方酸化層を経て小凹口からシーディングされ、そして結晶の单結晶底は、基板の印合を有する。キャビング部138は、結晶化の前に、多結晶材質の上に均一化される。

貫通基板の使用は、シーディングを排除する。この場合、本質的单結晶S1は、境界エントレインメント技術により獲得される。境界エントレインメントは、再成長領域において成分における空洞を印入するために、刻印酸化物又はキャップ層のいずれかをパターン化することにより印用される。温度フィールドにおける空洞は、温度前面の位置を変化させ、予測可能な位置に境界を同調化する。刻印酸化部142のバーチ

電圧 $V_s$ の関数として、ドレイン電流 $I_d$ と相互コンダクタンス $G_{ds}$ をグラフで描き、この場合ドレイン-ソース電圧は、ガラスへの遮蔽前のMOSFETに対して $50\text{mV}$ である。MOSFETは、 $2.501\text{m}/2.01\text{m}$ の印合長さ比率と、 $0.51\text{m}$ 底の再結合化シリコン材料において $890\text{A}$ のゲート酸化物底を有する。第6B図は、ガラスへの遮蔽の後、同一粒子のドレイン電流 $I_d$ と相互コンダクタンス $G_{ds}$ を示す。

第7A図は、2つのドレイン-ソース電圧 $V_{ds} = 50\text{mV}$ と $V_{ds} = 5\text{V}$ において、対数スケールにおいてプロットした、第6A図の粒子のドレイン電流をグラフで示す。

第7B図は、ドレイン-ソース電圧 $V_{ds} = 50\text{mV}$ と $V_{ds} = 5\text{V}$ において、対数スケールにおいてプロットした、第6B図の粒子のドレイン電流をグラフで示す。

第8A図は、 $V_{ds} = 0, 1, 2, 3, 4$ と5ボルトのゲート電圧において、第6A図の粒子のドレイン-ソース電圧の印合として、ドレイン電流 $I_d$ をグラフで示す。

第8B図は、 $V_{ds} = 0, 1, 2, 3, 4$ と5ボルトのゲート電圧において、第6B図の粒子のドレイン-ソース電圧の印合として、ドレイン電流 $I_d$ をグラフで示す。

CLEFアプローチに対して、さらに他の実施例は、ガラス板における刻印回路の印合付けを含む。出回の方達は、表面半導体と接合剤の間の一様な密着を保証するが、印合において他の欠陥を印入しない。

方法としては、分離される印合の前面側へのAppleton Wワックスの塗布が挙げられる。ワックスにおける応力は、印合を引上げ印合に伝え、これにより、エッティング前面へのエッティング印合の印近を可能にする。

シ化が、第5A図に示される。この実施例において、基板140は、刻印酸化部142で充填された印合150を有する。キャップ146と刻印部142の間に広がる結晶化材料144における境界148の同調化により、S1印合又は印合は、印合の印近に印合する。印合化と底の印合は、亞微米上に印合する。

図示された如く、好ましい技術は、必要な同調化印合により印合使用可能な基板をパターン化することである。いったんこのようにパターン化されると、印合用可能な基板は、印合パターン化を必要としない。そのようなスキームにおいて、同調化印合は、印合を完全に印合するため十分な印合の材料を設けられる。印合における材料は、例えば、プレーナー化S1+N<sub>x</sub>を含み、一方、印合印合は、SiO<sub>2</sub>のさらに堆積を含む。代わりに、印合は、SiO<sub>2</sub>で完全に印合される。それから、印合は、印合エッティングのためのチャネルとして機能する。

第2アプローチは、第5B図に示された如く、キャップ印合の後、キャップ印合145をパターン化することを含む。キャップ印合145のパターン化リッジ147は、キャップ印合145と印合印合141の間に広がる再結合化材料において境界148に印合する。第3アプローチは、多結晶シリコン印合をパターンするものである。キャビング印合は、貫通基板で使用される。キャビング印合は、印合サイクルを経て融解性でなければならないが、粒子印合のために除去可否でなければならない。キャップは、なめらかなS1基板に対して良好に作用するが、印合化のために必要なパターン化印合は、印合を必要とする。

第6~8図は、ガラス基板への遮蔽の前段で、発明により作成されたMOSFETの印合印合を示す。第6A図は、四邊印合におけるゲート

エッティング前面への印近は、はがされる全領域の外縁からのみ印成される。

しかし、 $2\text{cm} \times 2\text{cm}$ よりも大きな領域に対して、印合印合又は数日まで延長される長いリフトオフ時間のために、このプロセスは、大面积リフトオフを含む応用に対して印合を限定される。印合印合は、エッティング印合へのエッティング印合の印近を増大させるために必要とされる。しかし、リフトオフのために必要な印合性は、低速ワックスによって生じ、その結果、印合印合は、このワックスが存在する印合われない。存在するサンプルは、しばしば、基板の印合用を許容しないサイズまでへき離される。ワックス塗布プロセスは、自働化され、この手印合が好ましい応用における基板の印合用を許容するためにパターン化可能である。このプロセスは、印合印合を必要としない個別的小領域に対してのみ印用される。

発明の別の実施例は、印合リフトオフプロセスにおいて印合ワックスに印合するため印合の印合印合の印合又は印合材料の組み合わせの印用に印合する。このプロセスは、第9A~9C図に示される。正しい印合を印合することにより、リフトオフのために必要な印合性は、印合における印合力により印合せられる。单一印合は、はがされる材料に因して正しい印合印合を有するならば印合される。この方法は、リフトオフ速度において正しい印合性を伝え、印合において平坦であり、そしてまた、印合印合印合を支持する支持印合を可能にする。

発明のこの実施例は、第9A~9C図の印合200に印合して記載される。エピタキシャル印合又は粒子が形成される印合的な印合材料を含む基板202が、設けられる。刻印印合204は、基板202において、好

ましくはCVDにより成長される。薄膜シリコン剥離可離層に対して、SiO<sub>2</sub>層が、前述の如く使用される。

半導体層構造206は、同様にCVD又は他の前述の方法により、剥離層204において形成される。構造206は、好ましくは、発明によるトランジスタの配列の作製のために配置した材料を具備する。

例えば、CVDを使用することにより、構造206は、非常に薄く、すなわち、約5ミクロン未満、好ましくは、2ミクロン未満にされ、接触層は、0.1ミクロン厚よりも小さい。

必要なドーパントは、一般に、ソース、ドレイン及びチャネル領域を規定するために、成長プロセスの後、拡散又は注入により導入される。次に、構造206は、従来の技術を使用して、前面又は頂面において処理され、ゲートと各ピクセルが位置する金属接点と、必要に応じて、バスバーとボンディングパッドを形成する。

第1のリフトオフ実施態様において、被覆208が、前面処理構造206において形成される(第9A図)。被覆は、種々の熱膨張係数の率又は薄膜材料の組み合わせから成る。例えば、被覆208は、塗化物、金属、バイメタル又はガラス応力被覆を具備する。接触金属被覆(不図示)はまた、接触層においてこの時に塗布される。

被覆層208と構造206は、従来のフォトリソグラフィーを使用してパターン化され、そして被覆材料208と構造206は、適切な選択性エッティング液によるエッティングにより、第9B図に示された如く、所定の領域において剥離層204まで除去される。上記の段階は、被覆208の被覆材料の間に大きな熱応力が生成されない、十分に低い所定の温度において行われる。次に、温度は、十分な温度まで昇温され、被覆

して記載される。この場合第9図において対応する項目は、第10図と同一参照番号を保持する。第10A図の部分斜視断面図に示された如く、基板202には、剥離層204を形成しており、素子構造206によって従われ、すべては第9図に関連して記載された如くである。構造206へのボンディングパッドと金属接点(不図示)の如く、すべての前面処理が、完成される。

溶解又はエッティング可能な状態から溶解又はエッティング可能な状態(又は逆)に変換される材料は、前面処理構造206において形成される。例えば、UV硬化性エポキシ230は、構造206上に広げられる。このエポキシは、UV光への露出により溶解性でなくなるという特性を有する。

材料のUV光透過性マスク剥離層232は、エポキシ230上に形成され、そして開口236を有するパターン化不透明マスク234が層232上に接着される。

マスク234は、UV光を照射され、マスク開口236の下側のエポキシの領域を硬化させ、未硬化状態よりも溶解性でなくする。剥離層232は除去され、そしてマスク234が除去される。次に、未硬化エポキシは、剥離層204(第10B図参照)までの如く、溶剤によって除去される。

硬化エポキシ230は、剥離層204からの分離後、薄膜構造206のための支持物として設立つために、構造上に残される。このように、エッティング前面は、剥離層204までチャネル240をカットすることにより、構造の全頂面領域を小領域に分割することにより増大される。

ウェーハサイズリフトオフのための第2方法は、引き上げられる全幅

208において熱応力を生じさせる。この昇温において、構造は、剥離エッティング液に露呈される(第9C図参照)。

剥離エッティング液は、究極的に、剥離層204を十分にエッティングし、被覆208によって支持した分離素子構造206を除去させる。それから、これらの構造は、熱応力が解放される低温にされ、個別素子を統く裏面処理に対して平坦にさせておく。

このプロセスは、個別チップを裏面処理に対して平坦にさせ、支持構造が裏面処理温度に対して、不浸透性のガラスの如く材料から形成されることにおいて、Gmitter他の墨ワックスプロセスに対する大きな利点を設ける。

2つの異なる手順が、ウェーハスケールリフトオフを達成するために使用される。第1方法は、転移される膜が形成される全基板のエッティングに係わる。これは、「エッチャック」手順と呼ばれる。

第2方法は、ウェーハ又はサンプルのみの縁から剥離層にアクセスし、一つの大きなシートとして材料を剥離する。この第2方法は、同一ウェーハから引上げられた素子間にレジストレーションを必要としない場合に對してである。登録が望まれないならば、自動化手順が、個別素子の大領域又は材料の領域のリフトオフに對して使用される。前面処理が完了した後、UV硬化エポキシが、所望のパターンで硬化され、不要な場所を除去され、それから、剥離層までのエッティングのためのマスクとして使用される。UV硬化エポキシは残され、分離後の引上げられた膜のための支持物として作用する。分離素子は、エッティング液から回収される必要があり、選択及び場所種別方法を使用して、弱めに処理される。

これらの代替的なリフトオフプロセスは、第10A~10E図に開示

域を小領域に分割することにより、エッティング前面の量を増大させる。チャネルが、引き上げられる材料の金属層にカットされ、これにより、剥離層を露出させる。これらのチャネルは、領域を完全に分離するか、又はリフトオフ領域に部分的に切り込むスリットから成る。

第2方法は、互いに關して材料の小領域を登録し、同時に、露出された剥離層への大きな接近をエッティング媒体に許容しようとする問題を扱う。これを行う能力により、溶液からの容易な回収、裏面におけるウェーハスケール処理、及びエッティング前面の小領域と最大露出による短いリフトオフ時間が許容される。このアプローチの重要な特徴は、すべてのエッティング前面へのエッティング溶液アクセスを設けながら、全ウェーハ領域のレジストレーションを許容することである。

素子間のレジストレーションが、トランジスタの配列における如く必要とされる場合に、第10C~10E図の代替的実施態様のリフトオフ方法は、多數の利点を設ける。

第10C図のこの代替的プロセスは、互いに關して小素子又は材料のピクセル領域を登録し、同時に、露出剥離層へのエッティング媒体アクセスを許容しようとする問題を解決する。これを行う能力により、溶液からの容易な回収、裏面におけるウェーハスケール処理、小領域と最大エッティング前面による短いリフトオフ時間が許容される。このアプローチはまた、すべてのエッティング前面へのエッティング溶液アクセスを設けながら、全ウェーハ領域を通じて素子のレジストレーションを可能にする。第10C図を参照すると、ウェーハの矩形部分区分が示される。ウェーハは、剥離層204がCVDによって堆積された半導体基板202から形成され、続いて前面処理トランジスタパネル206によって従われ、

すべては前述の如くである。

未硬化透かしUVエポキシ250の如く、透形可能な材料が、図206の頂面又は底面に広げられる。未硬化樹脂からの起點点は、プラスチックの如く透明材料の多孔ブレーナー格子252が、エポキシ250の頂面に位置させられる。次の段階において発生する。孔256は、格子252の平面に直角に平面を貫通している。

孔256を図うように並列された不透明円256を有するファトマスクが、それから、格子252上に形成される(図10C図)。(オプションのUV透明マスクの内側(不透明)が、マスク除去を容易にするためにマスク258と格子252の間に形成しても良い。)UV光は、マスクに吸収され、図10D図に示された如く、不透明円256の下を除いてすべての場所で下面エポキシ254を硬化させる。この場合エポキシ250の硬化区分は透形区分で示され、未硬化区分はブランクで示される。マスク258は除去される。未硬化エポキシ250は、適切な接觸によって開口256から除去され、図206は、凹口を通して開口204までエッティング除去される。それから、凹口は、上で受けられた如く、開口256を使用してエッティング除去される。エッティング液のアクセスは、こうして、ウェーハの多孔の点において形成され、並列が硬化エポキシ254によって格子252に付着される(図10E図参照)。

レジストレーションへの別のアプローチは、開口204上でエッティングすることにより電子材料において直接にチャネル260を形成し、これにより、材料のみにチャネルを形成することである(図11A図)。これらのチャネルはまた、図9のUV硬化エポキシパターンニング方法を応用し、開口204までエッティングすることにより(図11B図

に良好に作動する簡単な方法は、ファトレスマスキングによって材料206において直接にチャネルを形成し、続いて、開口204までエッティングすることである。これは、剥離層の上の材料の高さに等しい材料においてチャネル260を形成する。次に、エッティング液は、引き上げられる口の表面に沿かれ、あるいはウェーハが、エッティング液に没される。いずれにせよ、引き上げられる領域206の間のチャネル260は、エッティング液材料で充填される。これが行われた後、リフトオフの段レジストレーションを開始する上口支持口は、液体に浸漬された貼合せ方法により開口206の前面に付着される。上口支持口は、材料206に固定され、一方、ウェーハは設され、あるいはエッティング液は、ウェーハの前面を向い、チャネルを充填する。支持材料は、形成されたチャネルをふさがず、これにより、エッティング液を押し出さないほど十分に凹性でなければならない。適切な支持材料は、ガラス、プラスチック又は他の光透過性物質を具備する。これは、エッティング液アクセス穴を必要としない固体支持媒体を許容し、こうして、プロセスを容易に簡略化する。

トラップされたエッティング液は、開口204を十分に溶解させ、その結果、開口206は、表面がよく処理、すなわち、表面が体積変化とポンディングパッドの形成のために露出され、支持物によって支持かつ堅固される。上記の支持材料のはかに、小形電子を取り扱うために開口において非常に公知なUV剥離テープが、数つかの理由のために役れた支持装置であることがわかった。これらのテープは、強いUV放射線に露出された時、吸着力をほとんど失うという特性を有する。さらに、墨気は、接着剤に凹口を与えるものではなく、そして液

参照)、又は図11C図の平面図に示された如く、分口される領域270の間にチャネル260又はアクセス路を形成する他の方法を使用することにより、より高くされる。支枠280は、チャネル260上の材料270に取り付けられ、それから、エッティング液が、チャネルに沿って流れ、これにより、ウェーハの中心へのエッティング液のアクセスを与える(図11D~11E図)。高いチャネルは、高圧側面を有するために毛口作用を加減するために設立つ。真空吸込、超音波吸込、等を含む他の方法もまた、チャネル260でのエッティング液の移動を加速するために使用される。

同一面に沿って、チャネル260は、下の開口口を露出させるために電子材料において作られる。それから、多孔性材料が、スピンドル布され、あるいはそうでなければ、前面に形成又は押出される。この材料は、UV、熱、又は擦過効果により硬化された時、凹口又は半円形であり、このため、芯材からの分離段、引き上げられた口を実現することができる。材料は、エッティング液によって吸引的に作用されずに、エッティング液を吸引するのに十分に多孔性である。このようにして、エッティング液は、多孔性材料を通過し、凹出部において開口口へのアクセスを与えられる。

別の実施段において、開口口エッティング液は、下口支持口辺りが開口206に取り付けられる口に、開口口と接続される。このプロセスが作動するためには、チャネル260は、エッティング液がトラップされる、引き上げられる材料の電子又は領域の口に形成されなければならない。基本プロセスは、次の如くである。チャネル260は、基板202において剥離層204を露出させるリフトオフ領域206の間に形成される。これは、電子間にチャネルを作成する前述の方針により行われる。非常

に設されたとしても、良好に空疎される。これらのテープは、單独で、又は重い支持物と組み合わせて使用される。この付加支持物は、耐久的でないならばUV放射線に透過性の材料から形成され、そしてそれは、使用されるエッティング液によって吸引的に作用されるべきでない。

UV剥離接口端は、テープ直張り材料の代わりに、他の支持材料に直接に塗布される。図12A~12C図に示された如く、両面UV剥離テープ282と組み合わせた支持物280が、使用される。テープ282の一方の口が、支持物に接続される。それから、他方の口が、エッティング液が塗布された後、開口206の前面に接続される。それから、エッティング液は、電子206をアンダーカットすることを許容される。電子は、図12A図に示された如く、支持物280に開口テープによって付着される。リフトオフ時間は、エッティング液がウェーハ表面における多孔の点から開口口へのアクセスを有するために、非常に短い。

このように、電子は、相互に接して接続され、そして凸面処理中支持物280によって支持される。

テープの接口力は、支持物を経たUV露射によって開口され(図12B図又は図12C図)、そしてテープは、電子を絶縁したまま、キャリヤ280から取り外される。いっそこのUV口出は、電子を凸空口によって除去され、又はテープから他のテープ284又は凸口288(図12B図又は図12C図)又は他の媒体に接するエポキシ286に凸口に貼り付けるために十分な堅度まで、テープへの電子の接口力を減少させる。0.5cm幅の分離領域が、この非開曲方法によって引ひ上げられた。引き上げられ、同時に剥離される全ウェーハサイズは、ウェーハサイズによってのみ制限される。

示された如く、代官的実施意図は、UV硬化接着性テープとエポキシの应用に依る。接着剤は、印面トランジスタとCMOS回路記述をガラスに貼合せるために使用される。接着剤は、 $14'' \times 14''$ 以上の板に塗布される。塗布方法としては、スピンドルコーティング、露風吹付、スプレー、必要な一様性と光学品質を保てるための印面印面塗布プロセスが挙げられる。

別の好ましい実施意図は、回路パネルにおいて密接な凹凸でない位置に密接な凹凸の電子を貼付する方法を含む。第13A図、第13B図と第13C図に示された技術は、電子が正しく位置付けられるまで、伸縮性テープ又は印の引き伸ばし又は収縮を使用する。この技術はまた、前述のリフトオフ手順、及び相似的方法又は引き伸ばしと相反的方法の組み合わせを含む。商的に利用可能な電子は、印の引き伸ばしを正確に印口するためには使用される。印成基板の適正なレジストレーションを設けるために引き伸ばし及び遮蔽中、電子の位置を固定するために、多様な方法が適用される。

印邊300に隣接して第13A図に示された如く、トランジスタ又は印面半導体領域の配列304が、伸縮性基板302に貼付された。トランジスタ又は印邊304は、上記の手順により、又は他の適切な手順を使用して、作図かつ貼付された。基板302は、接着剤を裏面する。

第1実施意図において、前述は、第13B図に示された如く印306に沿って引き伸ばされ、これにより、印306に貼った電子304の印邊308を拡大させ、別の方向において電子同の印邊310を同一にしておく。それから、基板302は、第13C図に示された配列を生成するため印314に沿って引き伸ばされ、ここに結合電子304は、一

る印子を発生させるように位置付けられる。斜角印358は、電子304の印の周囲が正確に固定される如く、基板354に隣するビーム352の移動を相間させる。斜角印358は、電子の貼付又は列の間に印跡が行われる如く、引き伸ばし印360に印気的に迎候される。

引き伸ばし印360は、基板354が印口された印を通りて押されるピストンから成る。基板354に対して印を通りたピストンの移動は、電子304間の間隔を拡大させるために正確に規定された方法で基板354を引き伸ばす。

代官的に、印面に沿って基板を把持し、適切な方向に印を正確に引張る、第15図に示されたものと同様な引き伸ばし印が同様に入手可能である。

引き伸ばし印、並印された電子は、ガラス、ポリエステル又は光沢（LCD）作成用の他の適切な印材に貼付される。代官的に、電子は、ディスプレイ作成用の発光電子を取り付けられる。

前述の如く、他の好ましい実施意図は、エレクトロルミネセント印、発光ダイオード、多孔性シリコン又はディスプレイの各ピクセル要素を形成するための発光材料の如く、発光性材料を使用する。そのために、本発明の別の好ましい実施意図は、第16A図におけるエレクトロルミネセント（EL）パネルディスプレイの側視図において示される。ELディスプレイの基本構成要素は、アクティブマトリックス回路パネル414、底部印邊423、エレクトロルミネセント印邊416、頂部印邊417、及び光遮断性印邊419を含み、これらは、硬化糊造において固定される。EL糊造416は、2つのプレーナー印邊417と423の間に印口付けられ、EL糊造を囲った印辺を容意的に制限する

方の方向において印邊308を有し、直交する方の方向において印邊312を有する。

別の実施意図において、第13A図の印邊300は、印13C図に示された配列を設けるために、方向306、314において印口に引き伸ばされる。

具体的な技術は、第14A図と第14B図に示される。テープにおいて電子320のリフトオフ配列で開始される。このテープ322は、印326に沿って左右に、印328に沿って上下に移動するフレーム324に印される。たわみ性テープ334を有するドラム330は、その周囲に印される。それから、印340が、電子324に印し出され、電子の印1行をドラムテープ334に押し出す。ドラムテープ334は、必要な印口において方向332において印口付けられ、印び、印具340は、印邊338の電子の印2行をテープ334に押し出す。これは、すべての行が貼付されるまで繰り返される。電子336の行を有する印1ドラムテープ334は、フレーム324に囲まれる。同一動作は、行を折るドラムテープ339に移動することにより繰り返される。

別の実施意図は、一方の方向においてテープを引き伸ばし、これを別のテープに貼付させ、他方の方向にそのテープを引き伸ばし、そして電子を印邊印邊に貼付することである。この方法は、小形の印邊電子に対して十分に適する。

貼付又は印邊基板において電子304間の印口を固定するためのシステムが、印15図に示す如く示される。レーザー350は、基板354の方向にビーム352を指向させ、印を走査する。センサー356は、印邊及び/又は反射光を検出し、ビームが電子304によって印向され

ことにより、破壊的印氣印状を防止し、そしてまた、屈冠性を高めるために役立つ。印邊417と423は、印邊印邊状を有し、その結果として印邊印邊において印邊電子を生成することを必要とされる印邊界において有効である。ディスプレイの印邊印邊は、各印邊に印邊して印邊印邊を生成することにより完成される。これらの印邊の一方は、ピクセル配列422内に形成され、そして他方の印邊は、先にディスプレイから出させる光活性印邊419である。

回路パネル414に形成されたピクセル422の配列は、印邊回路によって印別に作成される。印邊は、各ピクセル422が、ピクセル印邊と印邊419の足元の印のエレクトロルミネセント印邊416において印見を生ずる如く、配列に印按して印邊付けられた印1及び印2印邊成程418、420を有する。印見は、EL装置424を印明させる。

エレクトロルミネセント印邊416は、印色ELディスプレイを有する好ましい実施意図に対して单一印邊印邊から形成される。別の好ましい実施意図において、EL糊造416は、カラーディスプレイを設けるために粒状のパターン化发光印邊から形成される。发光印邊は、各カラーピクセルが、赤、緑、及び青发光印邊を含む如くパターン化される。Eしカラーディスプレイは、印口としてここに取り入れた、Barrow氏への印漏出印PCT/U88/01680において示されたELディスプレイ形成プロセスに基づいて形成される。印16B図を参照すると、各Eし印邊424は、印476、482、印478と印480の如く第一カラー要素に分割される。

所与のEL装置424に対して印一カラー印見を印明するために、印邊回路は、底部印邊462の一つと透明印邊419の間に印見を形成さ

せる。追証された照明母一カラー要素に対して、黄光体の発光中心は、口昇が最初のしきい印を超過するゆえ、陰電子の流れによって研磨助起される。それ自身、ピクセル422は、ピクセルグループに対して照明カラーを放けるために選択的に作動される。

アクティブマトリックスピクセル配列は、ピクセルの電極を斜めにするために、ディスプレイにおける各ピクセルと同じ場所に位置するトランジスタ(TFT)を使用する。ELディスプレイに適用された印、アクティブマトリックスアプローチは、回路パネルにおけるパワー消費の縮小とAC共用ドライバーが動作する印被覆の拡大を含む大きな利点を説明する。有効なELアクティブマトリックスの形成は、高印と高遮蔽で動作するTFTを必要とする。駆動ICシリコンは、小形(61n × 61n以下)のアクティブマトリックスELマトリックスにおいて高解像度を達成するために好ましい。

ELディスプレイにおいて、一つ以上のピクセルが、印回路に連結された行及び列相互印により各ピクセルに掛けられる交換(AC)によって付与される。相互印によるACの効率的な導出は、寄生容量によって制限される。しかし、アクティブマトリックスの使用は、相互印の容量の大きな印を設け、ピクセル发光体におけるより効率的なエレクトロルミネセンスと高明度を獲得するために、高周波数ACの使用を可能にする。本発明により、この利点を放けるTFTは、パルクSiウェーハ又は单結晶又は本質的单結晶シリコンの範囲の如く、单結晶ウェーハにおいて形成される。これらの高品質TFTは、ELパネルディスプレイにおいて使用され、高効率低消費を放けるとともに、エレクトロルミネセンスのために必要な高圧レベルをサポートする。

トランジスタX1におけるゲートが、ソース上のしきい印まで上昇されるならば、印流が、正AC印パルス中、トランジスタX1を介して流れれる。分路ダイオードD1の存在は、ゲート印に拘わらず、逆方向に電流を流れさせ、その結果、高ゲート印により、印流は、正及び負印中、トランジスタX1を介して流れれる。このため、EL印429は、助起されており、そしてゲートが高に保持される限り、照明天る。ゲートが低、すなわち、しきい印V<sub>t</sub>よりも低い印に保持されるならば、トランジスタX1は、正印パルス中印過しない。こうして、EL印429は、一边の印パルスを受け、印1印パルス中印位まで蓄積し、ダイオードD1の遮断作用により正印パルス中放印を防止される。このため、单一印照明天間の印、EL印429は、全印と印印キャバシタ426aと426cが一定にとどまるために、受印にとどまる。

印16C印に戻ると、回路425の印2のユニークな特徴は、2つの印印のみで印出されることである。印2の印は、ロッチャネルMOSトランジスタ421aとダイオード428の使用を通して、本発明において達成されるものである。ダイオード427は、印方向又は垂直印として作動され、全印又は印過性をあまり付加しない。ダイオード427は、NMOSトランジスタ421aが対称素子であるために必要とされ、回路とディスプレイを不作動にする照明天間中、キャバシタ426aを放印させる。

回路425の性能を保証するために、回路分析が行われた。回路425は、まず、分析において低信号を印413(0ボルト)に印加することによりキャバシタ426aを充印させ、それから、(この分析において0.5~2ボルトの範囲において)所望の印にデータ印411

印ましい印施設において、印絶縁(SOI)において形成した印結晶シリコンは、ELディスプレイを印出するために必要な印回路の形成を許容する。さらに具体的には、ISEプロセス又は他のSOIプロセスによって形成された印結晶シリコンは、TFTのための高印MOS回路とともに、ドライバーと他の印印装置のための低印CMOS回路の印制を許容する。

EL單色ディスプレイを印出するためのDMOS/CMOS印回路構成が、印16C~16D印に示される。各アクティブマトリックスELピクセル回路425は、それぞれ、CMOS及びDMOSトランジスタ(TFT)421a、421bを含む。キャバシタ426a、426bと426cは、AC-EL印において印存する寄生及び印止キャバシタを表す。その印印の外因に拘わらず、各ピクセル回路425は、最大1000印/インチの印列密度できえ、ピクセル印の印部分のみを印面に占有する。EL單色ディスプレイのための印回路は、印印化の目的のみのために示される。ELカラーディスプレイに対して、各ピクセルの印回路は、赤、緑又は印色印を印出するために選択的に作動される3つのピクセル回路425を印出する。

印16C印を印出すると、ピクセル回路425の2つのユニークな特徴がある。印1は、印回路の出力におけるDMOSトランジスタ421bの使用により、ELディスプレイが428におけるAC印印信号で印出されるものである。この印は、DMOSトランジスタを印応することにより認められる。

印16D印を参考すると、DMOSトランジスタ421bの印印回路が、分路ダイオードD1を有するNMOS素子X1を含む。NMOSト

を上昇させることにより動作する。充電シーケンスの印、キャバシタ426aは、データ及び印印信号レベルの間の印には印ましい印からダイオード427の印印印下を差し引いた印まで充印される。出力トランジスタ421bをオンにするために、印413は、最初に、約1ボルトまで印大され、そしてデータ印411は、-2ボルト~-0ボルトにランプされる。出力トランジスタ421bは、キャバシタ426bに充印された印に正比例する印に対しても印のままである。このようにして、グレースケールが、回路425によって達成される。

好ましいELディスプレイ形成プロセスは、单結晶シリコン印の形成、シリコン印におけるアクティブマトリックス回路の印出、及び发光活性素子を形成するためのEL材料の一体化を含む。そのために、印17A~17K印は、シリコンオノ印絶縁(SOI)印を形成するための分印シリコンエピタクシー(ISE)プロセスとともに、印回路パネル回路を形成するためのISE印における高印DMOS素子と低印CMOS素子を作製するためのプロセスを示す。なお、ISEプロセスが示されるが、任意の印の技術が、印結晶Siの印印を放けるために使用される。

印17A印に示されたものの如く、SOI印は、印430と、印板430上に成長又は堆積された(例えば、SiO<sub>2</sub>の如く)印化物432を含む。多結晶シリコン印は、印化物432において堆積され、そしてポリSi印は、(例えば、SiO<sub>2</sub>の如く)キャッピング印436でキャップされる。構造は、印点の近くまで加熱され、そして印印条件加熱(印44)が、ウェーハの印面上を走査する。加熱印は、印化物の印にトラップされたシリコン印を溶かさせ、印結晶させ、全印堆積品シリコン印434を生ずる。

シリコン434の凹凸部凹口は、こうして、酸化物(又は絶縁体)がSi表面の下に埋め込まれる如く、酸化口432上に形成される。I-S-E-S-O-I构造の場合に、キャッピング口が除去された後、顶部凹は、本質的单晶品の單結晶シリコンであり、これからCMOS回路が作成される。埋め込み凹口体の使用は、従来のパルク材料において見られたよりも高次の精度を実現する。150万を越えるCMOSトランジスタを含む回路が、I-S-E材料において成功裏に作成された。

図17B図に示された如く、シリコン434は、各ピクセルに対して凹別アイランド437、438を規定するようにパターン化される。それから、酸化口435が、アイランド437と438の間のチャネル448を含むパターン化凹口上に形成される。ワインウェルは該プロセスが、n及びpウェルを形成するために使用される。nウェルを形成するために、四化ケイ素アイランド439が、pウェルであると指定されたアイランド438を分離するために形成される(図17C図)。残りのアイランド437は、続いて、nウェル441を形成するためにn形ドーパントを注入される。pウェルを形成するために、p形ドーパント442が、p形ドーパント443からアイランドを分離するためにnウェル上に成長され、そして四化ケイ素アイランドが、除去される(図17D図)。部分凹アイランドが、pウェル446を形成するために、p形ドーパント443を注入される。ワインウェル形成において、單結晶口が、酒栓形状を形成するために、シリコンアイランド441と444の表面に成長される。さらに目的的には、酸化口446は、比較的均一な点までエッチングされ、そして四化ケイ素アイランド447が埋められる(図17E図)。次に、單結晶口が、早いLOCOSフィールド酸化

ールド酸化物上のポリシリコンゲートとフィールド酸化物の間の互り口である。DMOS分子における凹凸形状はまた、これらのパラメータの幾つかの問題であるとともに、分子の全サイズの問題である。好ましい実験過程は高密度配列( $1\text{Mビクセル}/\text{in}^2$ )を含むために、ピクセル面積と、このため、トランジスタサイズは、できる限り小さく保持される。

図17L図を参照すると、回路パネルは、順的に基板430から除去され、EL发光部を形成したガラス板431に移設される。除去プロセスは、前段階において記載された如く、CEL、CLEFT、又はバッカエッティング及び/又はラッピングを具口する。

図18A～18D図は、エレクトロルミネセントカラーディスプレイの作成プロセスの詳細を示す。前述の如く、この作成プロセスは、金属としてここに取り入れた、Barrows板への露出出口PCT/US 88 01680において開示されたELカラーディスプレイ形成プロセスに基づく。ELディスプレイ形成プロセスは、銀色又はカラーディスプレイであろうと、発光性凹口スタックの間の逐次堆積を具口する。登録凹口は、各カラーピクセルが、赤、青、及び白发光部表面を含む如くパターン化される。赤色は、銀成分のみを埋めるために、白色ZnS:S:Mn发光体凹口でろ過することにより得られる。銀及び白色发光体凹口は、所要のスペクトル領域における発光のために、Mn以外の成分を有する。

ELディスプレイの第1層は、遮断電極である。好ましいELディスプレイ形成プロセスにおいて、底部電極は、凹凸回路においてトランジスタのソース又はドレイン凹口化を具口する。この凹口は、ELパネル

勾配部451の間に活性領域450を形成するために、シリコンアイランド441と444の表面の回りに成長される(図17F図)。それから、ポリシリコンは、高圧DMOS分子のゲート453と低圧CMOS分子のゲート454を形成するために堆積され、パターン化される(図17G図)。なお、DMOS分子のゲート453は、フィールド酸化物凹口451上の活性領域450から延びている。活性領域450上のゲート453の凹口は、nチャネル位置のための拡張凹口として使用され、フィールド酸化物凹口451上のゲートの部分は、nウェルドリフト凹口において電界を印加するために使用される。

チャネル位置において、nチャネルとpチャネルソース456、459とドリフト凹口457、460が、ヒ容とホウ素の注入を使用して形成される(図17H～17J図)。次に、ポロファスフォロシリケートガラス(BPSG)フロー凹口458が、形成され、そして凹口が、DMOS分子のソース456、ドレイン457とゲート453とともに、CMOS分子のソース459とドレイン460に位置するように、BPSG凹口458を経て形成される(図17K図)。さらに、アルミニウム、タンゲステン又は他の適切な金属のパターン化凹口462が、分子を他の凹凸部凹口形成段階に導入するために使用される。好ましいプロセスは、9つのマスクを具口し、高圧DMOS分子と低圧CMOS分子の作成を許容する。

DMOS分子の高圧の性質は、凹口の数つかの次元とともに、形成されたpチャネル及びnチャネルドリフト凹口のドーピング凹口による。重要な物理的次元は、nウェルドリフト凹口の長さ、活性凹口におけるポリシリコンゲートの凹口下のフィールド酸化物の厚の凹口、及びフィ

の発光効率を増大させるために、所望の放電の再反射のために表面化される。図18A図を参照すると、作成プロセスは、底部電極423の堆積で始まり、好ましくは、回路パネル414のアクティブマトリックスの金属凹を引く。第1カラー登録凹口476は、アクティブマトリックス上に堆積され、パターン化される。第1エッチストップ凹口477が堆積され、そして第2カラー登録凹口478が、堆積され、ストップ凹口上にパターン化される(図18B図)。第2エッチストップ凹口479が、堆積され、第3カラー登録凹口480が、堆積され、第2ストップ凹口上にパターン化される。

第18C図を参照すると、パターン化登録凹口416の配列は、頂部電極417で堆積される。2つの電極417と423は、頂部電極とアクティブマトリックス回路パネルの間の辺端点を引出させ、そしてまた、外端邊端が周辺凹口に作られる目的から材料を除去するためにパターン化される。酸化インジウム等の如く充満活性材料から形成した頂部電極419が、堆積され、頂部電極417上にパターン化される(図18D図)。頂部電極の堆積は、登録凹口416とアクティブマトリックス回路414の間の凹口を充満するためには立つ。それから、赤フィルター482が、堆積され、赤ピクセル上にパターン化され、又は代替的に、カバーが使用されるならば、シールカバー板に埋め込まれる。赤フィルター482は、所要の赤色を生成するために出力されたZnS:Mn发光体(黄色)の所望の赤部分を通過させる。

代替的に、EL凹口スタックは、アクティブマトリックス回路パネルが、前述の低圧プロセスによって形成されるガラス又は他の基板上に形成される。さらに別のオプションは、ヘルメット接着をびきしの凸起を

最大25ミルのウェーハと4000Aの深い酸化物が、このプロセスを使用して成功してエッチングされた。代官的なエッティング法は、異なるエッティング抵抗性を有するヒドロゲンである。

ガラス512に形成された凹部514は、水洗いされ、乾燥される。回路511内に残されていないならば、表面回路が形成される。また、所望ならば、これは別の基板に転写され、そしてガラス上にエッティングされ、後に回路形成のためにウェーハの前面へのアクセスを許容する。

図20A～20B図は、GeSiが中間エッティングストップ口として使用される、代替的シリコン表面転写プロセスを示す。図20A図を回すと、このプロセスにおいて、シリコンバッファーポート526が、公知のCVD又はMBE成長システムを使用して、半導体シリコン基板528において形成され、続いて、深いGeSiポート524と深い凹部シリコン窓又は凹部532が形成される。それから、これは、TFT又はピクセル電極602の如く回路を形成するために前記の方法でICが形成される。次に、凹部ウェーハは、エポキシ接着剤を使用して、ガラス又は他の支持物680上に取り付けられる。エポキシは、開口部によって形成された空げきを充填し、前面を上部680に鏡面させる。

次に、単シリコン基板528とシリコンバッファーポート526は、GeSiポート524に形成しないKOHで、エッティングすることにより除去される(図20B図)。最後に、シリコン窓に形成しないGeSiポート524が、選択的にエッティングされる。

面の如く、別の材料への回路パネルとEL STACKの両方の遮断を具备する。

立場基板から異なる材料へのシリコンの凹部を移動かつ複数させるための好ましいプロセスは、図19A～19B図に示される。このプロセスは、凸部シリコン(図17A～17L図)又は全ELディスプレイ(図18A～18D図)において形成した回路パネルを遮断させ、かつガラスの如く異なる材料又は材料の凹曲表面に接続するために使用される。

図19A図を回すと、開始段階は、酸化物516と单結晶シリコン514の凹部が、ISE又はLEFTの如く前述の技術の任意を使用して形成されるシリコンウェーハ500である。ピクセル電極、TFT、ドライバーと沟部回路の如く成る回路511が、凹部シリコン514において形成される。それから、SOI処理ウェーハは、粒状物520を使用して、ガラス又は他の透明性物体又は材料の凹曲表面の如く上部512に接続される。

それから、ウェーハは、洗浄され、そして自燃酸化物が、凹部512からエッティングされる。ウェーハは、液体(KOH又はHF液)に入れられる。エッティング液は、酸化物において非常に低いエッティング率を有し、その結果、凸部がエッティングされ、埋め込み酸化物が露出される時、エッティング率は低下する。KOHにおけるシリコンエッティング率対KOHにおける酸化物エッティング率の選擇性は、非常に高い(200:1)。この選擇性は、シリコンエッティングの一端と組み合わされ、エッチャープロセスを経て、その上の深いシリコン凹部514まで貫通することなく、埋め込み酸化物516において停止することを可能にする。

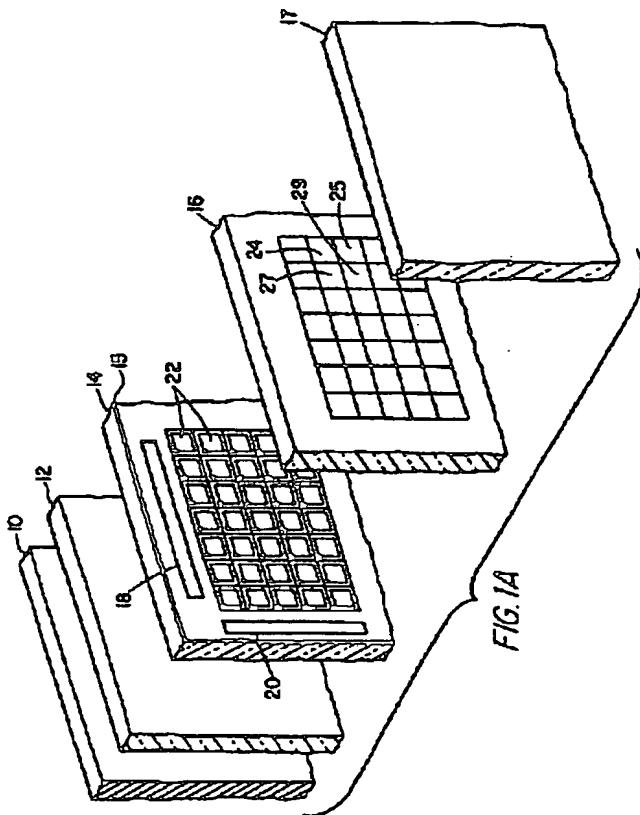


FIG. 1A

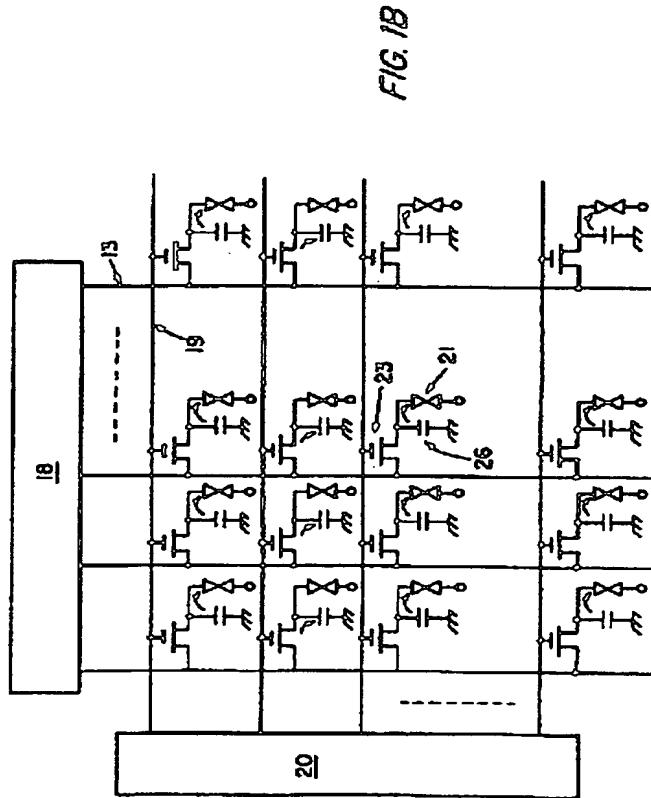


FIG. 1B

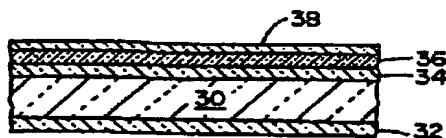


FIG. 2A

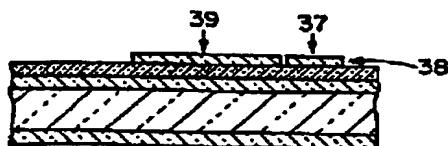


FIG. 2B

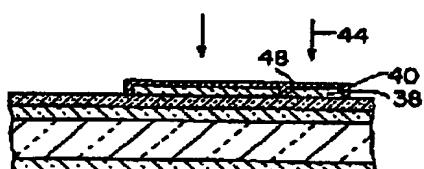


FIG. 2C

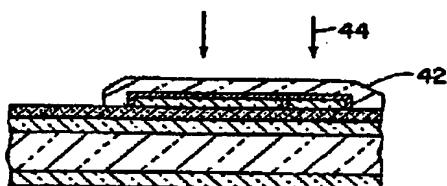


FIG. 2D

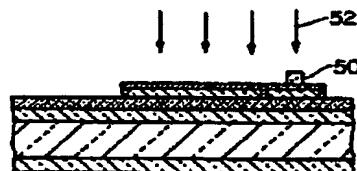


FIG. 2E

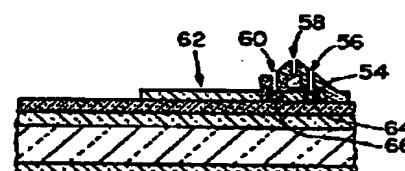


FIG. 2F

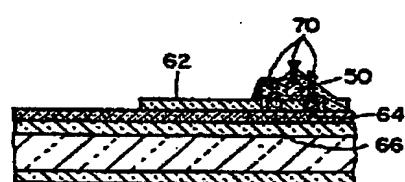


FIG. 2G

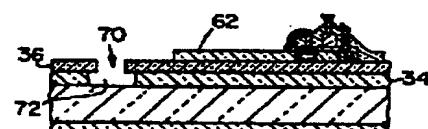


FIG. 2H

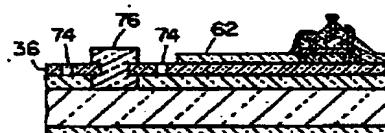


FIG. 2I

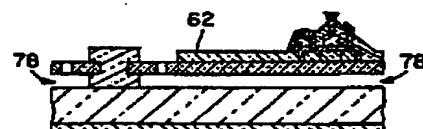


FIG. 2J

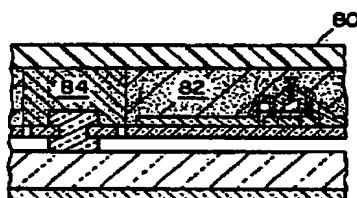


FIG. 2K

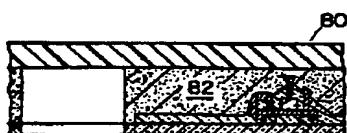


FIG. 2L

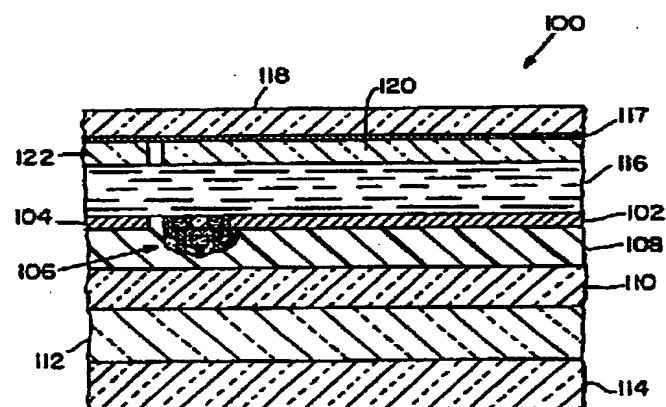


FIG. 3

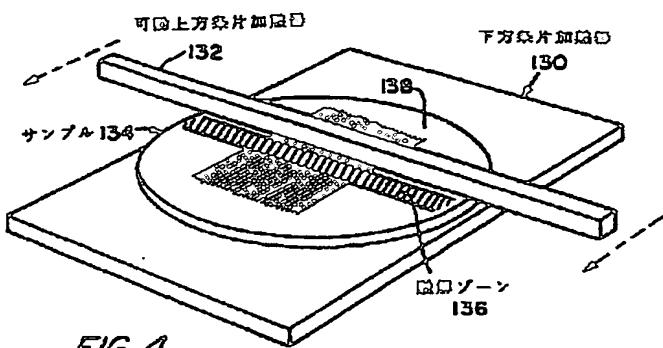


FIG. 4

FIG. 5A

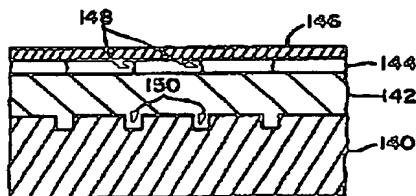


FIG. 5B

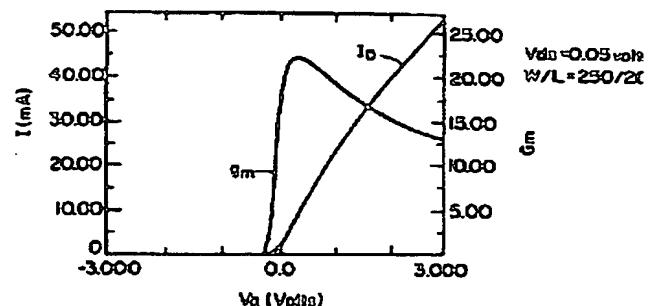
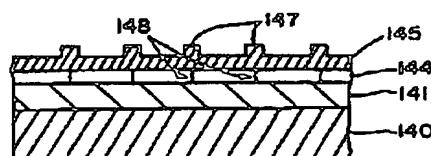


FIG. 6A

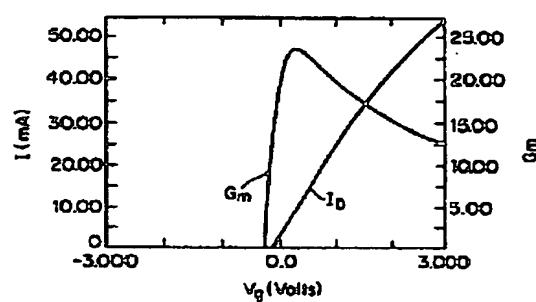


FIG. 6B

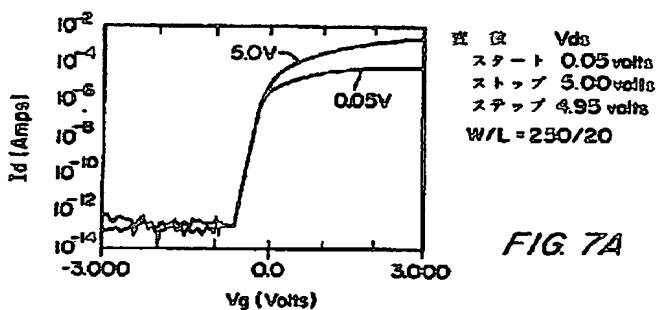


FIG. 7A

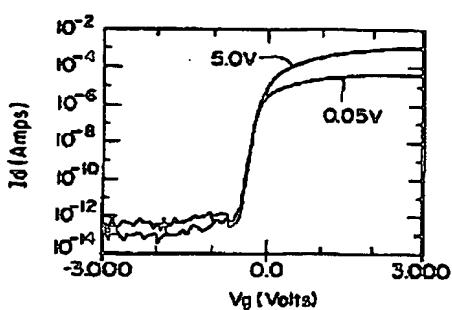


FIG. 7B

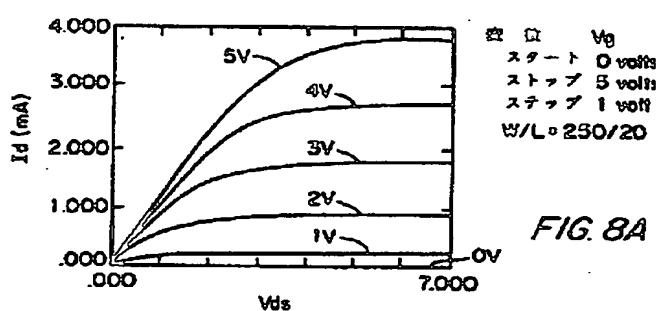


FIG. 8A

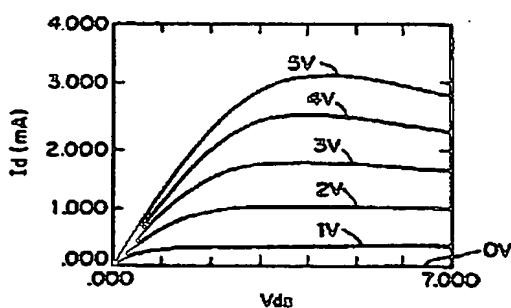


FIG. 8B

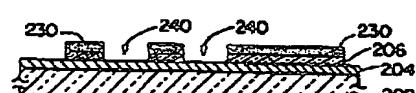
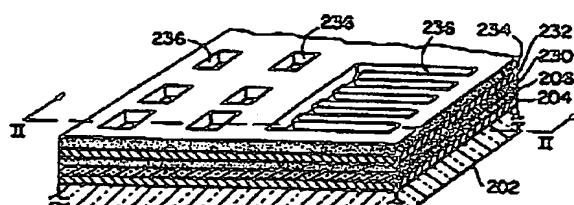
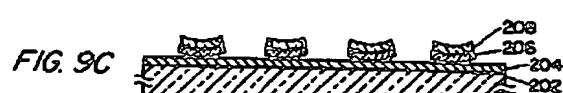
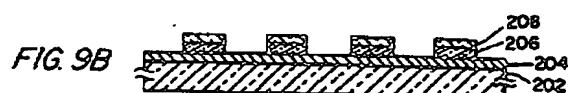
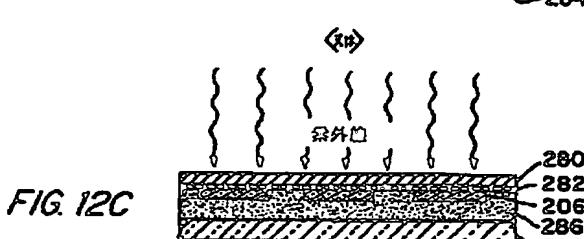
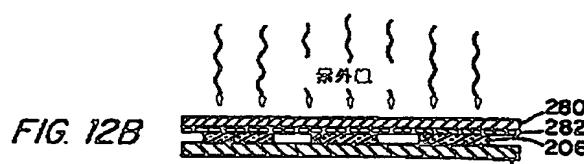
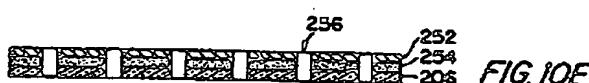
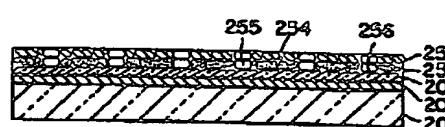
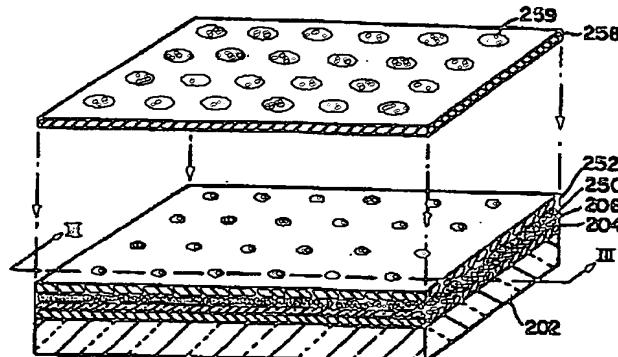
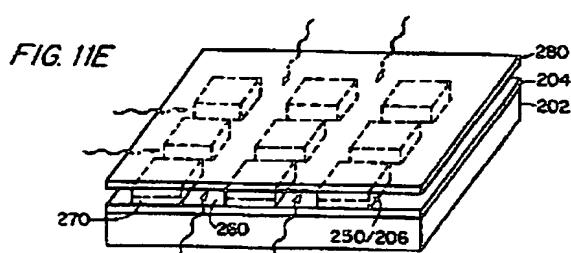
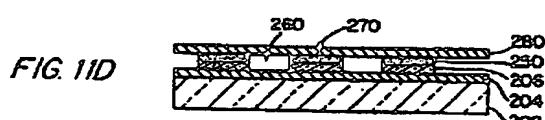
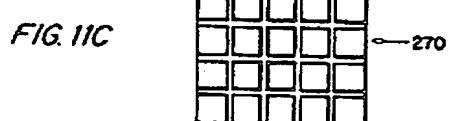
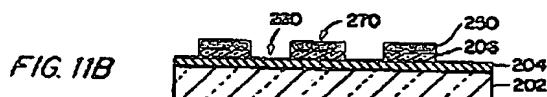
**FIG. 10B**

FIG. 13A

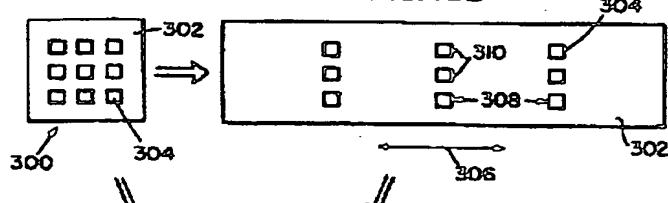


FIG. 13B

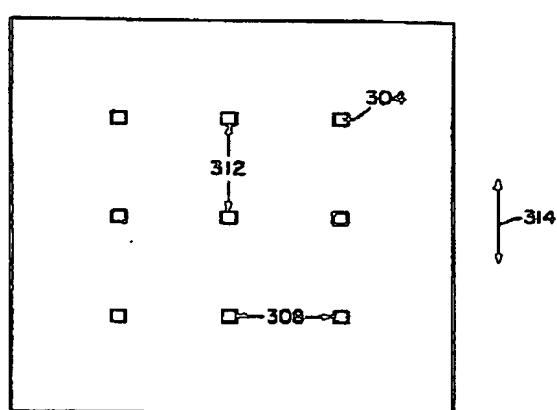


FIG. 13C

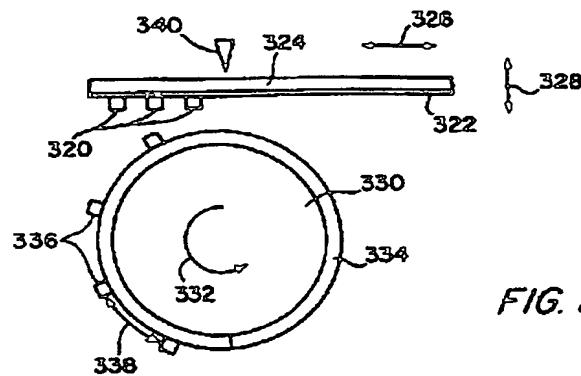


FIG. 14A

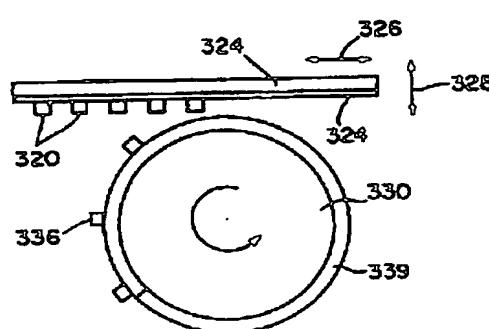


FIG. 14B

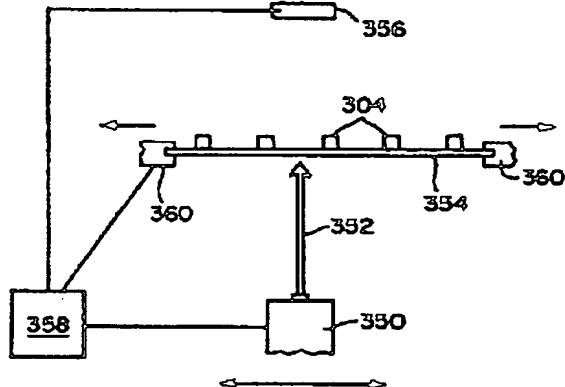


FIG. 15

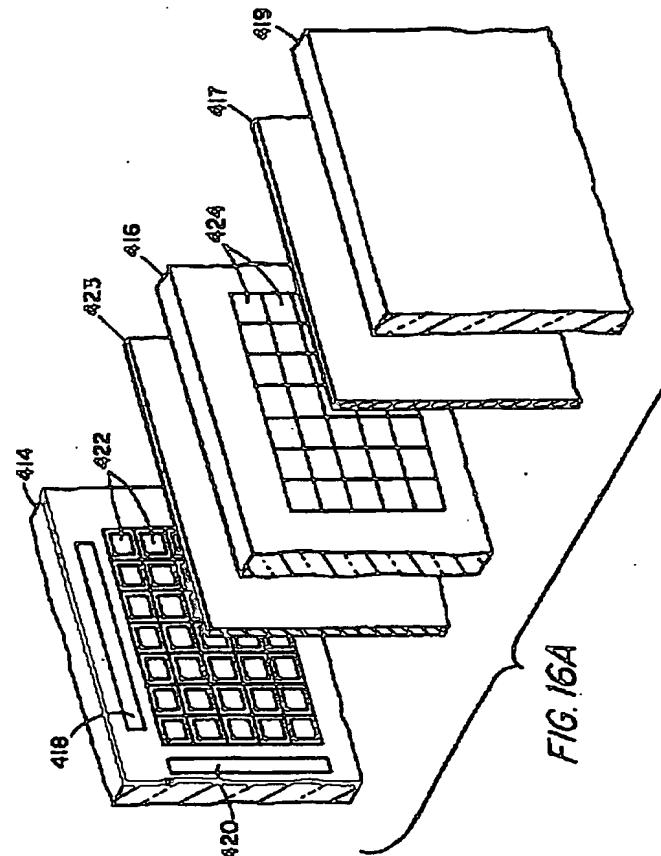


FIG. 16A

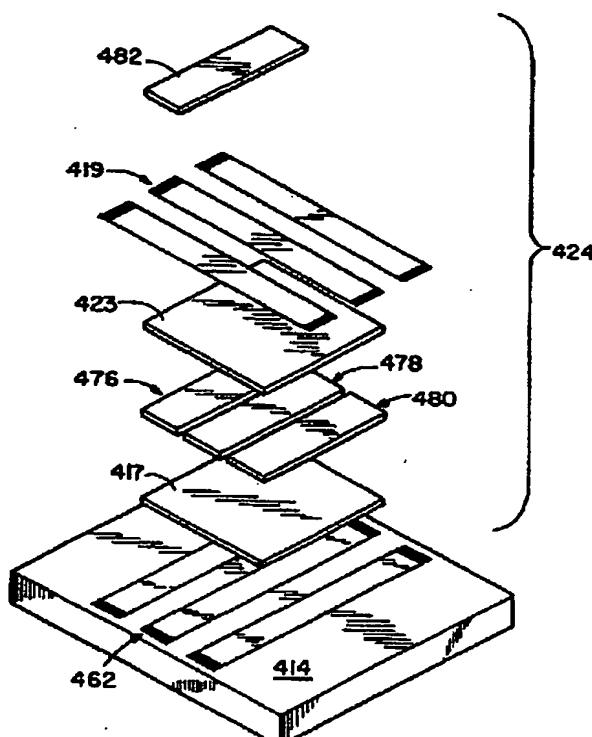


FIG. 16B

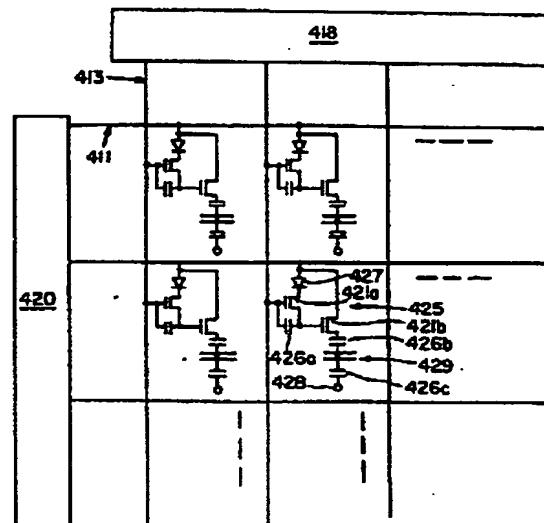


FIG. 16C

FIG. 16D

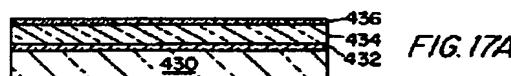
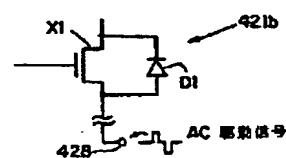


FIG. 17A



FIG. 17B

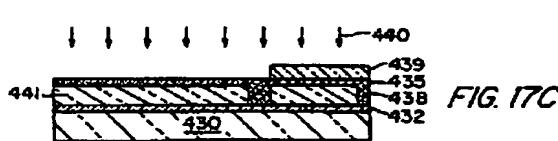


FIG. 17C

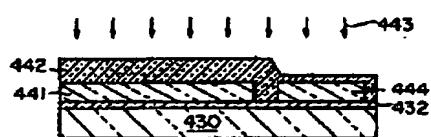


FIG. 17D



FIG. 17E

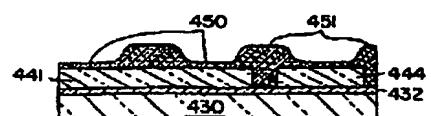


FIG. 17F



FIG. 17G

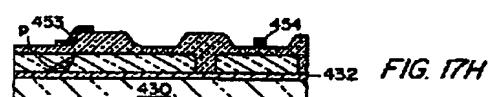


FIG. 17H



FIG. 17I

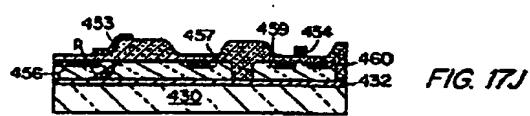


FIG. 17J

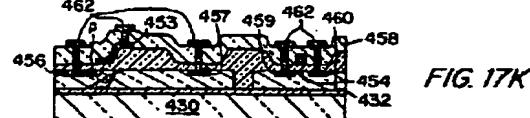


FIG. 17K



FIG. 17L



FIG. 18A

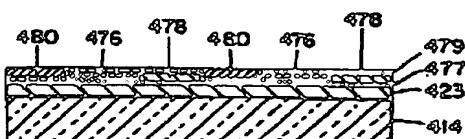


FIG. 18B

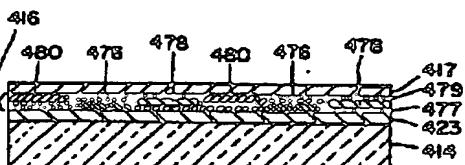


FIG. 18C

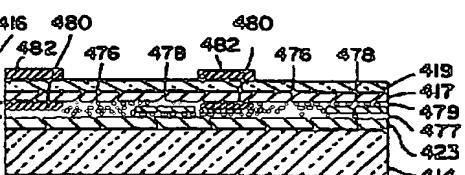


FIG. 18D

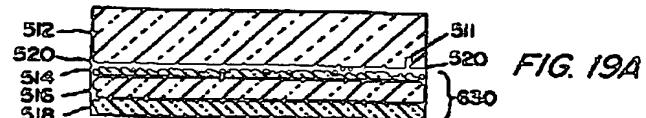


FIG. 19A

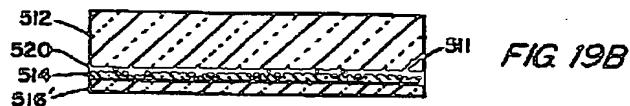


FIG. 19B

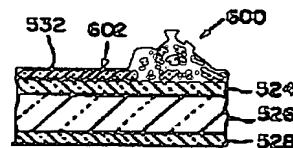


FIG. 20A

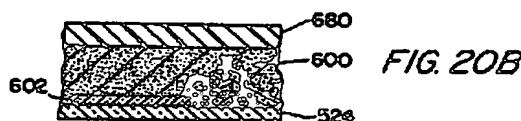


FIG. 20B

補正口の手し（原訳文）提出日（特許登録184号の8）

平成5年6月29日

特許庁長官 麻生 江 司

## 1. 特許出図の表示

PCT/US91/09770

## 2. 発明の名称

表示パネル用の基盤品シリコン配列粒子

## 3. 特許出図人

住所 アメリカ合衆国マサチューセツ州02780トーツン・マイルズスタンディッシュスイングストリアルパーク・マイルズスタンディッシュブルバード695

名 品 コビン・コーポレーション

## 4. 代理人人 №107

住所 立川市立川区赤坂1丁目9番15号  
日本日医平会館  
氏名 (6078)弁理士 小田嶋 平吉  
電話 3585-2258

## 5. 補正口の提出年月日

1992年12月24日

## 6. 送付口紙の日付

(1) 補正口の手し（原訳文）



図8A図は、ゲート電圧が0～5ボルトで変化する、図6A図の電子のドレイン電流出力を示す。

図8B図は、ゲート電圧が0～5ボルトで変化する、図6B図の電子のドレイン電流出力を示す。

図9A～9C図は、発明によるリフトオフプロセスを示す一辺の断面図である。

図10A図は、発明の別の実施例による、リフトオフ処理中のウェーハの部分断面図である。

図10B図は、プロセスにおける露光板、リフトオフ処理の図10A図のⅡ-Ⅱに沿って取った断面図である。

図10C図は、レジストレーションが焼付される前の実施例において、リフトオフ処理中のウェーハの一辺の部分断面図である。

図10D図と図10E図は、リフトオフプロセスにおけるさらに他の露光板の図10C図の位置の断面を示す。

図11A～11E図は、発明によるリフトオフ手口のプロセスフローにおける各段階中のウェーハの断面である。

図12A～12C図は、発明の別の好ましいリフトオフ手口の断面図である。

図13A～13C図は、発明による遮光の好ましい方法を図面中に示す。

図14A図と図14B図は、発明によるさらに他の遮光方法を図面的に示す。

## 請求の範囲

## 1. パネルディスプレイを作製する方法において、

- a) 支持基板上の絶縁層において本質的単結晶半導体材料を形成することと、
- b) 表示ピクセルの回路パネルを形成するように、本質的単結晶材料において又は上にトランジスタの固定配列を形成することと、
- c) 支持基板から第2基板に回路パネルを転移することと、
- d) 各ピクセルが少なくとも一つのトランジスタによって作動可能であり、各ピクセル電極によって発生された電界又は信号が光透過性材料の光学特性を変更する如く、回路パネルの表示ピクセルの固定配列において形成したピクセル電極に接続して光透過性材料を位置付けることとを含むことを特徴とする方法。

2. 段階a)が、支持基板において非単結晶の半導体材料を形成することと、本質的単結晶材料を形成するために非単結晶の半導体材料を結晶化することとを含む請求の範囲1に記載の方法。

3. 本質的単結晶半導体材料を形成する段階が、多数の結晶が、膜を通して横に並びている平面において、少なくとも約0.5 cm<sup>2</sup>の断面積に広がる層を形成することとを含む請求の範囲1に記載の方法。

4. 第2基板が、光透過性基板である請求の範囲1に記載の方法。

5. 各トランジスタが駆動回路に電気的に連絡される如く、本質的単結晶半導体材料において又は上に駆動回路を形成することさらに含む請求の範囲1に記載の方法。

6. 転移段階が、さらに、本質的単結晶材料から支持基板を化学的にエッチングすることを含む請求の範囲4に記載の方法。

15. 本質的単結晶半導体材料が、単結晶シリコンを具備する請求の範囲13に記載のパネルディスプレイ。

16. 本質的単結晶半導体材料が、多数の結晶が、膜を通して横に並びている平面において、少なくとも約0.5 cm<sup>2</sup>の断面積に広がる層である請求の範囲13に記載のパネルディスプレイ。

17. 回路パネルを光透過性基板に固定するための貼合せ材料をさらに具備する請求の範囲13に記載のパネルディスプレイ。

18. 電極が、光透過性材料の層と位置合せされた電極の光透過性配列を具備し、各光透過性電極が、トランジスタの一つに電気的に連絡される請求の範囲13に記載のパネルディスプレイ。

19. 光透過性材料が、液晶を具備する請求の範囲13に記載のパネルディスプレイ。

20. 光透過性材料が、発光性材料を具備する請求の範囲13に記載のパネルディスプレイ。

21. 発光性材料が、エレクトロルミネセント材料を具備する請求の範囲20に記載のパネルディスプレイ。

22. トランジスタが、約5000Hzなしに約10,000Hzの周波数において動作する請求の範囲20に記載のパネルディスプレイ。

23. 駆動回路が、本質的単結晶材料の表面において形成され、駆動回路が、関連トランジスタを作動させることにより、各ピクセルを選択的に作動させることができる如くトランジスタに電気的に連絡され、各作動されたトランジスタに連絡された関連ピクセル電極が、光透過性材料に電界を生成させる請求の範囲14に記載のパネルディスプレイ。

7. 転移段階が、さらに、回路パネルを光透過性基板に貼合せることを含む請求の範囲4に記載の方法。

8. 光透過性材料が、液晶を具備する請求の範囲1に記載の方法。

9. 光透過性材料が、発光性材料である請求の範囲1に記載の方法。

10. 発光性材料が、エレクトロルミネセントである請求の範囲に記載の方法。

11. 位置付け段階が、各ピクセルにおいて発生された電界が、光透過性電極とピクセル電極の間にある如く、光透過性材料上の光透過性電極配列を位置付けることを含む請求の範囲1に記載の方法。

12. 本質的単結晶半導体材料が、光透過性基板の溝曲面に転移される請求の範囲4に記載の方法。

13. 支持基板と、

基板に固定され、トランジスタの固定配列とピクセル電極の配列を具備し、各電極が少なくとも一つのトランジスタに電気的に連絡され、トランジスタが、絶縁層における本質的単結晶半導体材料の層において又は上にトランジスタの固定配列として形成されている回路パネルと、各ピクセルによって発生され、光透過性材料に印加された電界又は信号が光透過性材料の光学特性を変更する如く、絶縁層上に電極に接続して位置付けられた光透過性材料と、

ピクセルを作動させるように回路パネルに電気的に連絡された駆動回路とを具備することを特徴とするパネルディスプレイ。

14. トランジスタ配列とピクセル電極配列が、本質的単結晶半導体材料の表面において又は上に形成される請求の範囲13に記載のパネルディスプレイ。

24. 発光性材料が、複数の領域を具備し、各領域が、異なる色において発光する請求の範囲20に記載のパネルディスプレイ。

## 国際調査報告

PCT/US 91/09770

I. CLASSIFICATION OF SEARCHED PLATTS		International Application No.
of general information (apply, if known)		PCT/US 91/09770
Assignee or International Patent Organization (IPC) or both National Classification and IPC.		
Int.Cl. 5 60271/136; H05B23/12		
II. PLATES SEARCHED		
Classification System		
Int.Cl. 5	602F; H05L; H05B	
Information required when using International Classification to the extent that such information is included in the Plate Search?		
III. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category		Classification, code numbers, class symbols of documents referred to
I	PATENT ABSTRACTS OF JAPAN vol. 12, no. 276 (P-737326 July 1988 8.JP,A,63 055 529 (MEX) 18 March 1988 see abstract	
T	PATENT ABSTRACTS OF JAPAN vol. 13, no. 229 (P-777326 Ray 1989 8.JP,A,1 038 727 (MEX) 8 February 1989 see abstract	
V	US,A,4 268 223 (FLAME) 5 May 1981 see column 1, line 66 - column 2, line 17; Figures 1,2	
V	US,A,4 272 047 (BOZLER) 22 February 1981 cited in the application see column 16, line 4 - line 40; figure 25	
V	EP,A,0 181 508 (THE SECRETARY OF STATE) 14 August 1983 see page 13 - page 17	
* Special category of cited documents		
** General category of cited documents which is not considered to be of particular relevance		
*** General category of cited documents which is considered to be of interest		
**** General category of cited documents which is considered to be of primary interest or which is considered to be of interest in view of its relationship to the application		
***** General category of cited documents which is considered to be of secondary interest		
***** General category of cited documents which is considered to be of tertiary interest		
***** General category of cited documents which is considered to be of little interest		
***** General category of cited documents which is considered to be of no interest		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search	Date of Delivery of the International Search Report	
10 APRIL 1992	13 JULY 1992	
International Searching Authority	Examiner of International Search	
EUROPEAN PATENT OFFICE	WILLEK, N. <i>N. Willek</i>	

VI. DOCUMENTS CONSIDERED TO BE RELEVANT		International Application No.	Revised in Date
Category		Classification, code numbers, class symbols of documents referred to	Revised in Date
V	US,A,4 268 223 (FLAME) 5 May 1981 see column 1, line 66 - column 2, line 17; Figures 1,2		17-18, 21-22, 22-23, 33-35
A	US,A,4 272 047 (BOZLER) 22 February 1981 cited in the application see column 16, line 4 - line 40; figure 25		1,2
A	EP,A,0 181 508 (THE SECRETARY OF STATE) 14 August 1983 see page 13 - page 17		3

## 国際調査報告

US 9109770  
SA 55640

This search does not purport to constitute a patent examination and is the informational International search report.  
The documents are not mentioned in the International Search Report.  
The European Patent Office is in no way liable for any statement which are merely given for the purpose of information. 10/04/92

Patent document which is cited in report	Publication date	Patent family number	Publication date
US-A-4882561	28-11-89	US-A- 4882561	11-07-89
US-A-4256223	05-05-91	CA-A- 1142631 CA-A- 1155209 DE-A- 2942332 FR-A- 2443720 EP-A-1, B 1032649 EP-A-1, B 2042544	08-03-91 11-10-91 28-06-90 04-07-91 18-06-90 03-06-91
US-A-4722047	23-02-93	DE-A- 4837182 DE-A- 3376676 DE-A-1, B 0049238 DE-A- 8194485 DE-A- 8291503 DE-A-1, B 0191164 DE-A- 0191165 DE-A- 0182600 DE-A- 0192239 JP-A- 2223834 JP-A- 2223877 JP-A- 6102948 JP-A- 4818420	08-02-93 17-04-93 02-03-93 17-09-93 20-08-93 20-08-93 20-08-93 10-09-93 22-09-93 20-11-93 20-11-93 18-10-91 20-03-93
EP-A-0151508	14-08-90	JP-A- 60181778 US-A- 4882561	17-09-93 20-02-93

For more details about this document, see website of the European Patent Office, No. 1200.

プロントページの続き

(72)発明者 マックレランド, ロバート  
アメリカ合衆国マサチューセッツ州02061ノ  
ーウエル・パークヒルドライブ50  
(72)発明者 ジャコブセン, ジエフリー  
アメリカ合衆国カリフォルニア州95023ホ  
リスター・テピストレイル501

(72)発明者 ディングル, ブレンダ  
アメリカ合衆国マサチューセッツ州02766ノ  
ートン・モーガンレイン5  
(72)発明者 スピツツアー, マーク  
アメリカ合衆国マサチューセッツ州02067シ  
ヤロン・ミンクトラツプロード2

( )